(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0024674
(43) 공개일자 2014년03월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/28* (2006.01)
(21) 출원번호 10-2012-0090952
(22) 출원일자 2012년08월20일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이규하
경기 용인시 기흥구 용구대로2394번길 27, 103동 801호 (마북동, 삼성래미안1차아파트)
강필규
경기 안양시 동안구 달안로 78, 610동 1209호 (비산동, 샛별한양아파트)
(뒷면에 계속)
(74) 대리인
박상수

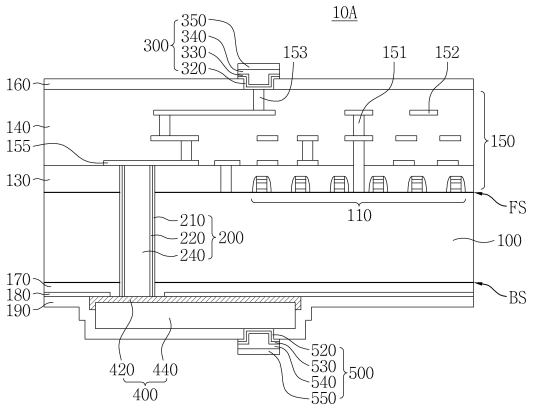
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자**

(57) 요 약

기판의 전면 상에 형성된 내부 회로, 상기 기판을 수직으로 관통하여 상기 내부 회로와 전기적으로 연결되는 관통 비아 구조체, 상기 기판의 후면 상에 형성되고 상기 관통 비아 구조체와 전기적으로 연결되는 재배선 구조체, 및 상기 기판의 후면과 상기 재배선 구조체의 사이에 형성된 후면 절연층을 포함하고, 상기 재배선 구조체는 재배선 배리어 층 및 재배선 금속층을 포함하고, 상기 재배선 배리어 층은 상기 재배선 금속층의 하면을 감싸며 측면들을 부분적으로 감싸는 반도체 소자가 제안된다.

대 표 도 - 도1a



(72) 발명자

김태영

경기 수원시 영통구 권광로260번길 36, 123동 601호 (매탄동, 매탄현대힐스테이트)

이호진

서울 영등포구 양산로 177, 102동 1202호 (영등포동7가, 경남아너스빌)

박병률

서울 강남구 남부순환로395길 30, 3동 102호 (대치동, 국제아파트)

최길현

서울 강남구 남부순환로363길 30, 쌍용 예가아파트 103동 602호 (도곡동, 도곡)

특허청구의 범위

청구항 1

기판의 전면 상에 형성된 내부 회로;

상기 기판을 수직으로 관통하여 상기 내부 회로와 전기적으로 연결되는 관통 비아 구조체;

상기 기판의 후면 상에 형성되고 상기 관통 비아 구조체와 전기적으로 연결되는 재배선 구조체; 및

상기 기판의 후면과 상기 재배선 구조체의 사이에 형성된 후면 절연층을 포함하고,

상기 재배선 구조체는,

재배선 배리어 층 및 재배선 금속층을 포함하고, 상기 재배선 배리어 층은 상기 재배선 금속층의 하면을 감싸며 측면들을 부분적으로 감싸는 반도체 소자.

청구항 2

제1항에 있어서,

상기 재배선 배리어 층의 상단부는 상기 재배선 금속층의 상부 표면 보다 낮아, 상기 재배선 금속층의 하부 측면은 상기 재배선 배리어 층으로 감싸이고, 및 상기 재배선 금속층의 상부 측면은 상기 재배선 배리어 층으로 감싸이지 않는 반도체 소자.

청구항 3

제1항에 있어서,

상기 후면 절연층은,

상기 기판과 접촉하는 하부 후면 절연층; 및

상기 후면 절연층 상에 형성된 상부 후면 절연층을 포함하는 반도체 소자.

청구항 4

제3항에 있어서,

상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 접촉하고, 및

상기 상부 후면 절연층은 상기 관통 비아 구조체의 측면과 접촉하지 않는 반도체 소자.

청구항 5

제4항에 있어서,

상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 상부 후면 절연층의 사이로 수직 연장하는 반도체 소자.

청구항 6

제1항에 있어서,

상기 관통 비아 구조체는 상기 기판의 상기 후면으로부터 돌출하고, 및

상기 후면 절연층은 상기 관통 비아 구조체가 상기 기판의 후면 상으로 돌출한 부분의 측면을 감싸는 반도체 소자.

청구항 7

기판의 전면 상에 형성된 내부 회로;

상기 기판을 수직으로 관통하여 상기 내부 회로와 전기적으로 연결되고 상기 기판의 후면 상으로 돌출한 관통

비아 구조체;

상기 기판의 상기 후면 상에 형성되고 상기 기판의 상기 후면 상으로 돌출한 상기 관통 비아 구조체의 측면을 감싸는 하부 후면 실리콘 층;

상기 하부 후면 절연층 상의 상부 후면 절연층 및 상기 상부 후면 절연층 상의 최상부 후면 절연층; 및

상기 최상부 후면 절연층 상에 형성되고 상기 관통 비아 구조체와 전기적으로 연결되는 재배선 구조체를 포함하고,

상기 재배선 구조체는,

상기 최상부 후면 절연층 상에 형성되고 상기 관통 비아 구조체와 직접적으로 접촉하는 재배선 배리어 층 및 상기 재배선 배리어 층 상의 재배선 금속층을 포함하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 하부 후면 절연층 및 상기 최상부 후면 절연층은 실리콘 산화물을 포함하고, 및

상기 상부 후면 절연층은 실리콘 질화물을 포함하는 반도체 소자.

청구항 9

제7항에 있어서,

상기 재배선 배리어 층은 상기 재배선 금속층의 측면의 상부를 노출시키고 하부를 감싸는 반도체 소자.

청구항 10

제7항에 있어서,

상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 상부 후면 절연층의 사이로 수직 연장하고, 및

상기 상부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 최상부 후면 절연층의 사이로 수직 연장하는 반도체 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 관통 비아 구조체(TSV, through silicon via) 및 재배선 구조체(redistribution structure)를 갖는 반도체 소자 및 그 제조 방법, 반도체 소자 적층 구조, 및 다양한 전자 시스템에 관한 것이다.

배 경 기 술

[0002] 집적도 향상을 위하여 관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자가 제안되었다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는, 관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자를 제공하는 것이다.

[0004] 본 발명이 해결하고자 하는 과제는, 관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자의 적층 구조를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 과제는, 관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자를 갖는 전자시스템들을 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 과제는, 관통 비아 구조체 및 재배선 구조체를 갖는 반도체 소자를 제조하는 방법을

제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 기술적 사상의 일 실시예에 의한 반도체 소자는 기판의 전면 상에 형성된 내부 회로, 상기 기판을 수직으로 관통하여 상기 내부 회로와 전기적으로 연결되는 관통 비아 구조체, 상기 기판의 후면 상에 형성되고 상기 관통 비아 구조체와 전기적으로 연결되는 재배선 구조체, 및 상기 기판의 후면과 상기 재배선 구조체의 사이에 형성된 후면 절연층을 포함하고, 상기 재배선 구조체는, 재배선 배리어 층 및 재배선 금속층을 포함하고, 상기 재배선 배리어 층은 상기 재배선 금속층의 하면을 감싸며 측면들을 부분적으로 감쌀 수 있다.

[0009] 상기 재배선 배리어 층의 상단부는 상기 재배선 금속층의 상부 표면 보다 낮아, 상기 재배선 금속층의 하부 측면은 상기 재배선 배리어 층으로 감싸일 수 있다. 상기 재배선 금속층의 상부 측면은 상기 재배선 배리어 층으로 감싸이지 않을 수 있다.

[0010] 상기 후면 절연층은 상기 기판과 접촉하는 하부 후면 절연층, 및 상기 후면 절연층 상에 형성된 상부 후면 절연층을 포함할 수 있다.

[0011] 상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 접촉할 수 있다. 상기 상부 후면 절연층은 상기 관통 비아 구조체의 측면과 접촉하지 않을 수 있다.

[0012] 상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 상부 후면 절연층의 사이로 연장, 개재될 수 있다.

[0013] 상기 하부 후면 절연층은 실리콘 산화물을 포함할 수 있다. 상기 상부 후면 절연층은 실리콘 질화물을 포함할 수 있다.

[0014] 상기 관통 비아 구조체는 상기 기판의 상기 후면으로부터 돌출할 수 있다. 상기 후면 절연층은 상기 관통 비아 구조체가 상기 기판의 후면 상으로 돌출한 부분의 측면을 감쌀 수 있다.

[0015] 상기 후면 절연층의 상면, 상기 재배선 구조체의 측면들 및 상부 표면을 컨포멀하게 덮는 후면 패시베이션 층을 더 포함할 수 있다.

[0016] 상기 재배선 구조체와 전기적으로 연결되도록 상기 후면 패시베이션 층의 일부 상에 형성된 후면 패드를 더 포함할 수 있다.

[0017] 상기 후면 패드는 상기 재배선 구조체와 직접적으로 접촉하는 후면 패드 배리어 층, 및 상기 후면 패드 배리어 층 상의 후면 패드 금속층을 포함할 수 있다.

[0018] 상기 관통 비아 구조체는 관통 비아 코어, 상기 관통 비아 코어의 측면을 감싸는 관통 비아 배리어 층, 및 상기 관통 비아 배리어 층의 측면을 감싸는 관통 비아 라이너를 포함할 수 있다. 상기 관통 비아 코어는 상기 재배선 금속층 및 상기 내부 회로의 일부와 직접적으로 접촉할 수 있다.

[0019] 본 발명의 일 실시예에 의한 반도체 소자는 기판의 전면 상에 형성된 내부 회로, 상기 기판을 수직으로 관통하여 상기 내부 회로와 전기적으로 연결되고 상기 기판의 후면 상으로 돌출한 관통 비아 구조체, 상기 기판의 상기 후면 상에 형성되고 상기 기판의 상기 후면 상으로 돌출한 상기 관통 비아 구조체의 측면을 감싸는 하부 후면 실리콘 층, 상기 하부 후면 절연층 상의 상부 후면 절연층 및 상기 상부 후면 절연층 상의 최상부 후면 절연층, 및 상기 최상부 후면 절연층 상에 형성되고 상기 관통 비아 구조체와 전기적으로 연결되는 재배선 구조체를 포함할 수 있다. 상기 재배선 구조체는 상기 최상부 후면 절연층 상에 형성되고 상기 관통 비아 구조체와 직접적으로 접촉하는 재배선 배리어 층 및 상기 재배선 배리어 층 상의 재배선 금속층을 포함할 수 있다.

[0020] 상기 하부 후면 절연층 및 상기 최상부 후면 절연층은 실리콘 산화물을 포함하고, 및 상기 상부 후면 절연층은 실리콘 질화물을 포함할 수 있다.

[0021] 상기 재배선 배리어 층은 상기 재배선 금속층의 측면의 상부를 노출시키고 하부를 감쌀 수 있다.

[0022] 상기 하부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 상부 후면 절연층의 사이로 수직 연장하고, 및 상기 상부 후면 절연층은 상기 관통 비아 구조체의 측면과 상기 최상부 후면 절연층의 사이로 수직 연장할 수

있다.

[0023] 기타 실시 예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0024] 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들은 재배선 금속층의 하부가 재배선 배리어 층으로 완전히 채워지므로 재배선 구조체가 물리적, 기계적으로 스트레스에 대한 내구성이 우수하여, 안정한 모양과 위치를 가질 수 있다. 따라서, 증착 방법을 이용하여 패시베이션 층을 형성하는 공정이 적용될 수 있다.

[0025] 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들은 기판의 후면 또는 후면 절연층의 상면보다 돌출한 재배선 구조체를 가지므로 범프 등을 이용한 본딩 공정이 수월하고 안정적인 본딩 구조 및 전기적 특성을 가질 수 있다.

도면의 간단한 설명

[0026] 도 1a 내지 1i는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들을 개략적으로 도시한 종단면도들이다.

도 2a 내지 2k는 본 발명의 기술적 사상의 다양한 실시예에 의한 반도체 소자들의 관통 비아 구조체 및 전면 패드를 형성하는 방법을 개략적으로 설명하는 종단면도들이다.

도 3a 내지 3n는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 재배선 구조체를 형성하는 방법을 설명하는 종단면도들이다.

도 4a 내지 4c는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 후면 패드를 형성하는 방법을 개략적으로 설명하는 종단면도들이다.

도 5a 및 5b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 재배선 구조체를 형성하는 방법을 설명하는 종단면도들이다.

도 6은 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 재배선 구조체를 형성하는 방법을 설명하는 종단면도이다.

도 7a 내지 7c는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 재배선 구조체를 형성하는 방법을 설명하는 종단면도들이다.

도 8a 및 8b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들의 재배선 구조체를 형성하는 방법을 설명하는 종단면도들이다.

도 9a 및 9b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자 적층 구조들을 개략적으로 도시한 단면도들이다.

도 10a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 반도체 모듈을 개념적으로 도시한 도면이다.

도 10b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 전자 시스템을 개념적으로 도시한 블록도이다.

도 10c는 본 발명의 기술적 사상이 적용된 일 실시예에 의한 반도체 소자들 중 적어도 하나를 포함하는 가진 다른 전자 시스템을 개략적으로 도시한 블록도이다.

도 10d는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들 중 적어도 하나를 포함하는 모바일 기기를 개략적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은

청구항의 범주에 의해 정의될 뿐이다.

[0028] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0029] 하나의 소자(elements)가 다른 소자와 '접속된(connected to)' 또는 '커플링된(coupled to)' 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 '직접 접속된(directly connected to)' 또는 '직접 커플링된(directly coupled to)'으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. '및/또는'은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0030] 공간적으로 상대적인 용어인 '아래(below)', '아래(beneath)', '하부(lower)', '위(above)', '상부(upper)' 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 '아래(below)' 또는 '아래(beneath)'로 기술된 소자는 다른 소자의 '위(above)'에 놓여질 수 있다. 따라서, 예시적인 용어인 '아래'는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0031] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0032] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.

[0033] 본 명세서에서 '전면(front side)'과 '후면(back side)'는 본 발명의 기술적 사상을 이해하기 쉽도록 설명하기 위하여 상대적인 개념으로 사용된 것이다. 따라서, '전면'과 '후면'은 특정한 방향, 위치 또는 구성 요소를 지칭하는 것이 아니고 서로 호환될 수 있다. 예를 들어, '전면'이 '후면'이라고 해석될 수도 있고 '후면'이 '전면'으로 해석될 수도 있다. 따라서, '전면'을 '제1'이라고 표현하고 '후면'을 '제2'라고 표현할 수도 있고, '후면'을 '제1'로 표현하고 '전면'을 '제2'라고 표현할 수도 있다. 그러나, 하나의 실시예 내에서는 '전면'과 '후면'이 혼용되지 않는다.

[0034] 본 명세서에서 '가깝다(near)'라는 표현은 대칭적 개념을 갖는 둘 이상의 구성 요소들 중 어느 하나가 다른 특정한 구성 요소에 대해 상대적으로 가깝게 위치하는 것을 의미한다. 예를 들어, 제1 단부(first end)가 제1 면(first side)에 가깝다는 표현은 제1 단부가 제2 단부보다 제1 면에 더 가깝다는 의미이거나, 제1 단부가 제2 면보다 제1 면에 더 가깝다는 의미로 이해될 수 있다.

[0035] 도 1a 내지 1f는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F)을 개략적으로 도시한 종단면도들이다.

[0036] 도 1a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10A)는, 기판(100)의 전면(FS, front side) 상에 형성된 내부 회로들(150) 및 전면 패드(300), 기판(100) 내에 형성된 관통 비아 구조체(200), 및 기판(100)의 후면(BS, back side) 상에 형성된 재배선 구조체(400) 및 후면 패드(500)를 포함할 수 있다.

[0037] 기판(100)은 실리콘 웨이퍼를 포함할 수 있다. 예를 들어, 기판(100)은 단결정 실리콘 웨이퍼, SiC 층 또는 SiGe 층을 포함하는 실리콘 벌크 웨이퍼 또는 절연층을 포함하는 SOI (silicon on insulator)를 포함할 수 있다. 본 실시예에서는 기판(100)이 단결정 실리콘 벌크 웨이퍼인 것으로 가정, 설명된다.

[0038] 내부 회로들(150)이 기판(100)의 전면(FS) 상에 형성될 수 있다. 내부 회로들(150)은 단위 소자들(110, unit devices), 내부 다수 개의 전도성 내부 비아들(151) 및 다층의 전도성 내부 배선들(152)을 포함할 수 있다. 단위 소자들(110)은 MOS 트랜지스터들을 포함할 수 있다. 내부 비아들(151)은 기판(100) 또는 내부 배선들(152)을 수직 방향으로 연결하여 전기 신호들을 전달할 수 있다. 내부 배선들(152)은 수평 방향으로 전기 신호를 전달할 수 있다. 내부 회로들(150)은 도핑된 실리콘, 금속, 금속 실리사이드, 금속 합금, 금속 화합물 같은 전도체를 포함할 수 있다. 내부 회로들(150)은 전면 패드 비아 플러그(153)를 포함할 수 있다. 전면 패드 비아 플러그(153)는 최상부 내부 배선(152)의 일부와 전면 패드(300)를 전기적으로 연결할 수 있다. 전면 패드 비아 플러그(153)는 구리, 알루미늄, 텅스텐 같은 금속을 포함할 수 있다.

[0039] 단위 소자들(110)은 하부 층간 절연막(130)으로 덮일 수 있다. 하부 층간 절연막(130)은 다층으로 형성될 수 있으나, 본 발명의 기술적 사상을 이해하기 쉽도록 하기 위하여 단층인 것처럼 도시된다. 하부 층간 절연막(130)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 예를 들어, 하부 층간 절연막(130)이 단층인 경우, 하부 층간 절연막(130)은 실리콘 산화물을 포함할 수 있다.

[0040] 내부 회로들(150)은 상부 층간 절연막(140)으로 감싸일 수 있다. 상부 층간 절연막(140)은 다층으로 형성될 수 있으나, 본 발명의 기술적 사상을 이해하기 쉽도록 하기 위하여 단층인 것처럼 도시된다. 상부 층간 절연막(140)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0041] 전면 패시베이션 층(160)이 상부 층간 절연막(140) 상에 형성될 수 있다. 전면 패시베이션 층(160)은 실리콘 질화물 또는 폴리이미드를 포함할 수 있다.

[0042] 전면 패시베이션 층(160) 상에 전면 패드 비아 플러그(153)와 전기적으로 연결되는 전면 패드(300)가 형성될 수 있다.

[0043] 예를 들어, 전면 패드(300)는 역-계단 모양 (reversed stepped difference)을 가질 수 있다. 전면 패드(300)는 전면 패드 배리어 층(320), 전면 패드 씨드 층(330), 전면 패드 금속층(340), 및/또는 전면 패드 캡핑층(350)을 포함할 수 있다. 전면 패드 배리어 층(320)은 배리어용 금속을 포함할 수 있다. 예를 들어, 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속(refractory metal)을 포함할 수 있다. 전면 패드 씨드 층(330)은 구리(Cu), 루테늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 포함할 수 있다. 전면 패드 금속층(340)은 구리 또는 니켈 같은 금속을 포함할 수 있다. 전면 패드 배리어 층(320)은 다층으로 형성될 수도 있다.

[0044] 전면 패드 캡핑층(350)은 전면 패드 금속층(340)의 상부 표면 상에 형성될 수 있다. 전면 패드 캡핑층(350)은 전면 패드 금속층(340)의 상부 표면 만을 덮을 수 있다. 전면 패드 금속층(340)은 구리 또는 니켈을 포함할 수 있다. 전면 패드 캡핑층(350)은 금, 은 또는 니켈을 포함할 수 있다.

[0045] 기판(100)의 전면(FS)의 상부, 예를 들어 하부 층간 절연막(130)의 상부에는 관통 비아 패드(155)가 형성될 수 있다. 관통 비아 패드(155)는 내부 회로들(150)의 일부와 전기적으로 연결될 수 있다. 관통 비아 패드(155)는 금속, 금속 실리사이드, 금속 합금 등을 포함할 수 있다. 관통 비아 패드(155)는 다층으로 형성될 수도 있다. 예를 들어, 배리어 기능용 금속 층 및 패드 기능용 금속층 등을 포함할 수 있다.

[0046] 관통 비아 구조체(200)는 기판(100)을 관통할 수 있다. 예를 들어, 관통 비아 구조체(200)는 기판(100)의 전면(FS)을 향하는 전면 단부(FE) 및 기판(100)의 후면(BS)을 향하는 후면 단부(BE)를 포함할 수 있다. 관통 비아 구조체(200)의 전면 단부(FE)는 기판(100)의 전면(FS)과 가깝게 위치할 수 있고, 관통 비아 구조체(200)의 후면 단부(BE)는 기판(100)의 후면(BS)과 가깝게 위치할 수 있다.

[0047] 관통 비아 구조체(200)는 관통 비아 라이너(210), 관통 비아 배리어 층(220), 및 관통 비아 코어(240)를 포함할 수 있다. 관통 비아 코어(240)는 기둥(pillar) 모양으로 형성될 수 있고, 관통 비아 코어(240)의 측면은 관통 비아 배리어 층(220) 및 관통 비아 라이너(210)로 감싸일 수 있다. 예를 들어, 관통 비아 코어(240)는 구리 같은 금속을 포함할 수 있다. 관통 비아 배리어 층(220)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 관통 비아 배리어 층(220)은 단층 또는 다층으로 형성될 수 있다. 관통 비아 라이너(210)는 실리콘 산화물 같은 절연성 물질을 포함할 수 있다.

[0048] 관통 비아 구조체(200)의 전면 단부(FE)는 관통 비아 패드(155)와 접촉할 수 있다. 관통 비아 구조체(200)의 전면 단부(FE)의 상부에 관통 비아 코어(240)가 노출되어 관통 비아 패드(155와 직접적으로 접촉할 수 있다.

[0049] 관통 비아 구조체(200)의 후면 단부(BE)는 기판(100)의 후면(BS)의 표면보다 돌출할 수 있다. 예를 들어, 관통 비아 구조체(200)의 관통 비아 코어(240)가 기판(100)의 후면(BS)보다 돌출할 수 있다.

[0050] 기판(100)의 후면(BS) 상에 하부 후면 절연층(170) 및 상부 후면 절연층(180)이 형성될 수 있다. 하부 후면 절연층(170)은 기판(100)의 후면(BS)과 직접적으로 접촉할 수 있다. 하부 후면 절연층(170)은 관통 비아 구조체(200)의 측면을 감쌀 수 있다. 하부 후면 절연층(170)은 관통 비아 구조체(200)의 측면, 예를 들어, 관통 비아 라이너(210)와 직접적으로 접촉할 수 있다. 상부 후면 절연층(180)은 재배선 구조체(400)와 직접적으로 접촉할 수 있다. 상부 후면 절연층(180)은 관통 비아 구조체(200)와 접촉하지 않고 이격될 수 있다. 관통 비아 구조체(200)와 상부 후면 절연층(180)의 사이에 하부 후면 절연층(170)이 연장할 수 있다. 예를 들어, 관통 비아 구조체(200)와 상부 후면 절연층(180)의 사이에 하부 후면 절연층(170)이 개재될 수 있다. 하부 후면 절연층(170)의 상면 및 상부 후면 절연층(180)의 상면은 평탄할 수 있다. 하부 후면 절연층(170)은 실리콘 산화물을 포함할 수 있고, 상부 후면 절연층(180)은 실리콘 질화물을 포함할 수 있다.

[0051] 상부 후면 절연층(180) 상에 관통 비아 구조체(200)와 접촉하도록 재배선 구조체(400)가 형성될 수 있다. 재배선 구조체(400)는 재배선 배리어 층(420) 및 재배선 금속층(440)을 포함할 수 있다. 재배선 구조체(400)는 재배선 배리어 층(420) 및 재배선 금속층(440)을 포함할 수 있다. 재배선 배리어 층(420)은 관통 비아 구조체(200)와 접촉할 수 있다. 재배선 배리어 층(420)은 관통 비아 배리어 층(220) 및/또는 관통 비아 코어(240)와 직접적으로 접촉할 수 있다. 재배선 배리어 층(420)은 재배선 금속층(440)의 하면 및 측면들을 부분적으로 감쌀 수 있다. 예를 들어, 재배선 배리어 층(420)은 재배선 금속층(440)의 측면들의 아래 부분들을 감싸고 위 부분들을 노출시킬 수 있다. 재배선 배리어 층(420)의 상단부는 재배선 금속층(440)의 상부 표면보다 낮을 수 있다. 재배선 금속층(440)의 하부 측면들은 재배선 배리어 층(420)으로 감싸일 수 있다. 재배선 금속층(440)의 상부 측면들은 재배선 배리어 층(420)으로 감싸이지 않고 노출될 수 있다. 또한, 재배선 배리어 층(420)의 상단부는 재배선 금속층(440)의 상부 표면 보다는 약간 낮아 상기 재배선 금속층(440)의 최상부 측면의 일부분을 노출시키면서 상기 재배선 금속층(440)의 측면을 대부분을 감싸는 형태일 수 있다. 재배선 배리어 층(420)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 재배선 금속층(440)은 구리를 포함할 수 있다. 재배선 금속층(440)은 표면에 니켈 또는 금을 포함할 수도 있다.

[0052] 재배선 구조체(400)의 측면 및 상부 표면을 감싸도록 후면 패시베이션 층(190)이 형성될 수 있다. 후면 패시베이션 층(190)은 상부 후면 절연층(180), 재배선 배리어 층(420)의 측면들, 및 재배선 금속층(440)의 측면들 및 상부 표면들과 접촉할 수 있다. 후면 패시베이션 층(190)은 상부 후면 절연층(180), 재배선 배리어 층(420), 및 재배선 금속층(440)의 표면 프로파일을 따르도록 컨포멀하게 형성될 수 있다. 후면 패시베이션 층(190)은 재배선 금속층(440)의 상부 표면의 일부를 노출시킬 수 있다. 후면 패시베이션 층(190)은 예를 들어, 실리콘 질화물을 포함할 수 있다.

[0053] 후면 패시베이션 층(190) 상에 재배선 구조체(400)와 전기적으로 연결되는 후면 패드(500)가 형성될 수 있다.

[0054] 예를 들어, 전면 패드(300)는 역-계단 모양 (reversed stepped difference)을 가질 수 있다. 후면 패드(500)는 후면 패드 배리어 층(520), 후면 패드 씨드 층(530), 후면 패드 금속층(540), 및/또는 후면 패드 캡핑층(550)을 포함할 수 있다. 후면 패드 배리어 층(520)은 배리어용 금속을 포함할 수 있다. 예를 들어, 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 후면 패드 씨드 층(530)은 구리(Cu), 루데늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 포함할 수 있다. 후면 패드 금속층(540)은 구리 또는 니켈 같은 금속을 포함할 수 있다. 후면 패드 배리어 층(520)은 다층으로 형성될 수도 있다.

[0055] 후면 패드 캡핑층(550)은 후면 패드 금속층(540)의 표면 상에 형성될 수 있다. 후면 패드 금속층(540)은 구리 또는 니켈을 포함할 수 있다. 후면 패드 캡핑층(550)은 금, 은 또는 니켈을 포함할 수 있다.

[0056] 전면 패드(300)와 후면 패드(500)는 수직으로 정렬할 수 있다.

[0057] 도 1b를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10B)는 기판(100)의 후면(BS) 상에 단층의 후면 절연층(170) 및 후면 절연층(170) 상에 직접적으로 형성된 재배선 구조체(400)를 포함할 수 있다. 단층의 후면 절연층(170)은 실리콘 산화물을 포함할 수 있다.

[0058] 도 1c를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10C)는, 재배선 금속층(440)의 측면들을 충분히 노출하는 재배선 배리어 층(420)을 가진 재배선 구조체(400)를 포함할 수 있다. 예를 들어, 재배선 배리어 층

(420)이 재배선 금속층(440)의 측면의 90% 이상을 노출할 수 있다. 또는 재배선 배리어 층(420)이, 도면에 보여지듯이, 재배선 금속층(440)의 측면들을 완전히 노출할 수 있다. 재배선 배리어 층(420)의 측단은 재배선 금속층(440)의 측면들보다 수평적으로 돌출할 수 있다.

[0059] 도 1d를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10D)는, 기판(100)의 후면(BS) 상에 형성된 단층의 후면 절연층(170), 및 후면 절연층(170) 상에 직접적으로 형성되고, 재배선 금속층(440)의 측면들을 충분히 노출하는 재배선 배리어 층(420)을 가진 재배선 구조체(400)를 포함할 수 있다.

[0060] 도 1e를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10E)는, 재배선 금속층(440)의 측면들을 완전히 감싸는 재배선 배리어 층(420)을 가진 재배선 구조체(400)를 포함할 수 있다. 예를 들어, 재배선 배리어 층(420)의 상단과 재배선 금속층(440)의 상부 표면이 유사하거나 실질적으로 동일할 수 있다.

[0061] 도 1f를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10F)는, 기판(100)의 후면(BS) 상에 형성된 단층의 후면 절연층(170), 및 후면 절연층(170) 상에 직접적으로 형성되고 재배선 금속층(440)의 측면들을 완전히 감싸는 재배선 배리어 층(420)을 가진 재배선 구조체(400)를 포함할 수 있다.

[0062] 도 1g를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10G)는, 기판(100)의 후면(BS) 상에 형성된 하부 후면 절연층(170), 상부 후면 절연층(180), 최상부 후면 절연층(185), 및 재배선 구조체(400)를 포함할 수 있다. 하부 후면 절연층(170)은 기판(100)의 후면(BS)과 직접적으로 접촉할 수 있다. 하부 후면 절연층(170)은 관통 비아 구조체(200)의 측면을 감쌀 수 있다. 하부 후면 절연층(170)은 관통 비아 구조체(200)의 측면, 예를 들어, 관통 비아 라이너(210)와 직접적으로 접촉할 수 있다. 상부 후면 절연층(180)은 재배선 구조체(400)와 직접적으로 접촉할 수 있다. 상부 후면 절연층(180)은 관통 비아 구조체(200)와 접촉하지 않고 이격될 수 있다. 관통 비아 구조체(200)와 상부 후면 절연층(180)의 사이에 하부 후면 절연층(170)이 연장할 수 있다. 관통 비아 구조체(200)와 최상부 후면 절연층(185)의 사이에 상부 후면 절연층(180)이 연장할 수 있다. 하부 후면 절연층(170)의 상면, 상부 후면 절연층(180)의 상면, 및 최상부 후면 절연층(185)의 상면은 평탄할 수 있다. 하부 후면 절연층(170) 및 상부 후면 절연층(180)은 관통 비아 구조체(200)의 주위를 감싸도록 재배선 구조체(400)와 부분적으로 접촉할 수 있고, 최상부 후면 절연층(185)은 재배선 구조체(400)와 충분한 면적으로 접촉할 수 있다. 하부 후면 절연층(170)은 실리콘 산화물을 포함할 수 있고, 상부 후면 절연층(180)은 실리콘 질화물을 포함할 수 있고, 및 최상부 후면 절연층(185)은 실리콘 산화물을 포함할 수 있다. 재배선 구조체(400)는 도 1a 및 그 설명들을 참조하여 이해될 수 있을 것이다.

[0063] 도 1h를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10H)는 도 1c 및 1g와 그 설명들을 참조하여 이해될 수 있을 것이다.

[0064] 도 1i를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자(10I)는 도 1e 및 1g와 그 설명들을 참조하여 이해될 수 있을 것이다.

[0065] 본 실시예에 의한 반도체 소자들(10A-10F)은 후면 절연층들(170, 175, 180)과 재배선 금속층(440)의 사이에 언더-컷 또는 빈 공간이 존재하지 않으므로 재배선 금속층(440)의 물리적, 기계적 안정성 및 전기적 특성이 우수하다. 본 실시예에 의한 본 실시예에 의한 반도체 소자들(10A-10F)은 후면 절연층들(170, 175, 180) 상으로 돌출한 모양을 갖는 재배선 구조체(400)를 가지므로, 후면 패드(500)가 다른 구성 요소와 물리적, 전기적으로 연결 또는 결합될 때, 공간적으로 충분한 여유를 가질 수 있고, 안정적인 연결과 결합을 가질 수 있다.

[0066] 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F)은 재배선 금속층(440)의 하부가 재배선 배리어 층(420)으로 완전히 채워지므로 재배선 구조체(400)가 물리적, 기계적으로 스트레스에 대한 내구성이 우수하여, 안정한 모양과 위치를 가질 수 있다. 따라서, 실리콘 질화물 같은 치밀한 물질을 증착 공정을 이용하여 후면 패시베이션 층(190)을 형성하는 공정이 적용될 수 있다. 예를 들어, 재배선 구조체(400)가 물리적으로 고정되지 못하면 상대적으로 성긴(sparse) 물질을 코팅 공정 등을 이용하여 형성하는 경우, 재배선 구조체(400)가 고정되지 못하고 들뜨거나(lift), 단선되거나, 위치가 흔들릴 수 있다.

[0067] 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들은 기판의 후면 또는 후면 절연층의 상면보다 돌출한 재배선 구조체를 가지므로 범프 등을 이용한 본딩 공정이 수월하고 안정적인 본딩 구조 및 전기적 특성을 가질 수 있다.

[0068] 도 2a 내지 2k는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 관통 비아 구조체(200) 및 전면 패드(300)를 형성하는 방법을 개략적으로 설명하는 종단면도들이다.

[0069] 도 2a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 형성하는 방법은, 기판(100)의 전면(FS) 상에 단위 소자들(110)을 형성하는 것을 포함할 수 있다. 단위 소자들(110)은 MOS 트랜지스터들을 포함할 수 있다. 이어서, 기판(100)의 전면(FS) 상에 단위 소자들(110)을 덮는 하부 층간 절연막(130)을 형성하는 것을 포함할 수 있다. 하부 층간 절연막(130)은 예를 들어, 실리콘 산화물을 포함할 수 있다.

[0070] 도 2b를 참조하면, 상기 방법은, 기판(100) 내에 관통 비아 홀(201)을 형성하는 것을 포함할 수 있다. 관통 비아 홀(201)을 형성하는 것은 하부 층간 절연막(130) 상에 관통 비아 홀 마스크 패턴(205)을 형성하고, 관통 비아 홀 마스크 패턴(205)을 식각 마스크로 이용하여 기판(100)을 식각하는 것을 포함할 수 있다. 관통 비아 홀 마스크 패턴(205)은 실리콘 질화물, 실리콘 산질화물, 또는 포토레지스트 같은 유기물을 포함할 수 있다. 관통 비아 홀(201)의 최하단 부(BE)는 기판(100)의 내부, 예를 들어, 벌크에 위치할 수 있다. 관통 비아 홀(201)은 기판(100)의 후면(BS)을 완전하게 관통하지 않을 수 있다. 관통 비아 홀(201)이 형성된 후, 관통 비아 홀 마스크 패턴(205)은 제거될 수 있다.

[0071] 도 2c를 참조하면, 상기 방법은, 관통 비아 홀(201)의 내벽 상에 관통 비아 라이너(210), 관통 비아 배리어 층(220) 및 관통 비아 씨드 층(230)을 컨포멀하게 형성하는 것을 포함할 수 있다. 관통 비아 라이너(210)는 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 예를 들어, 관통 비아 라이너(210)는 원자층 증착 공정(ALD, atomic layered deposition process), 플라즈마를 이용한 화학 기상 증착 공정(PECVD, plasma enhanced chmical vapor deposition process), 또는 준-상압 화학 기상 증착 공정(SACVD, sub-atmosphere chemical vapor deposision process) 등을 이용하여 증착될 수 있다. 또는, 관통 비아 라이너(210)는 열 산화 공정 등을 이용하여 관통 비아 홀(201)의 내벽이 열 산화되어 형성될 수도 있다. 본 실시예에서는, 관통 비아 라이너(210)가 준-상압 화학 기상 증착 공정을 이용하여 형성된 실리콘 산화막을 포함하는 것으로 가정, 도시된다. 관통 비아 배리어 층(220)을 형성하는 것은 배리어용 금속을 스퍼터링(sputtering) 같은 물리 기상 증착 공정(PVD, physical vapor deposition process) 또는 금속 유기 화학 증착 공정(MOCVD, metal organic chemical vapor deposition process)을 이용하여 관통 비아 라이너(210) 상에 컨포멀하게 형성하는 것을 포함할 수 있다. 관통 비아 배리어 층(220)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 관통 비아 배리어 층(220)은 단층 또는 다층으로 형성될 수 있다. 관통 비아 씨드 층(230)을 형성하는 것은 관통 비아 배리어 층(220) 상에 구리(Cu), 루데늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 물리 기상 증착 공정 또는 화학 기상 증착 공정 등을 이용하여 컨포멀하게 형성하는 것을 포함할 수 있다.

[0072] 도 2d를 참조하면, 상기 방법은, 관통 비아 홀(201)의 내부를 채우는 관통 비아 코어 물질층(240a)을 형성하는 것을 포함할 수 있다. 관통 비아 코어 물질층(240a)은 도금 공정을 이용하여 형성될 수 있다. 관통 비아 씨드 층(230)과 관통 비아 코어 물질층(240a)이 동일한 물질인 경우, 관통 비아 씨드 층(230)과 관통 비아 코어 물질층(240a)의 경계면은 사라질 수 있다. 예를 들어, 관통 비아 씨드 층(230)과 관통 비아 코어 물질층(240a)이 모두 구리를 포함하는 경우, 그 경계면이 사라질 수 있다. 따라서, 도면에서 관통 비아 씨드 층(230)이 생략되었다.

[0073] 도 2e를 참조하면, 상기 방법은, 관통 비아 구조체(200)를 형성하는 것을 포함할 수 있다. 관통 비아 구조체(200)는 관통 비아 코어(240), 관통 비아 배리어 층(220), 및 관통 비아 라이너(210)를 포함할 수 있다. 관통 비아 구조체(200)를 형성하는 것은 하부 층간 절연막(130)의 상부 표면 상의 관통 비아 코어 물질층(240a), 관통 비아 씨드 층(230), 관통 비아 배리어 층(220), 및 관통 비아 라이너(210)를 화학 기계적 연마 공정을 이용하여 평탄하게 제거하는 것을 포함할 수 있다. 예를 들어, 1차 화학 기계적 연마 공정을 이용하여 관통 비아 코어 물질층(240a) 및 관통 비아 씨드 층(230)을 제거하고, 2차 화학 기계적 연마 공정을 이용하여 관통 비아 배리어 층(220)을 제거하고, 습식 식각 또는 세정 공정을 이용하여 관통 비아 라이너(210)를 제거하는 것을 포함할 수 있다. 또는, 화학 기계적 연마 공정을 이용하여 관통 비아 코어 물질층(240a) 및 관통 비아 씨드 층(230)을 제거하고, 습식 식각 또는 세정 공정을 이용하여 관통 비아 배리어 층(220) 및/또는 관통 비아 라이너(210)를 제거하는 것을 포함할 수 있다.

[0074] 도 2f를 참조하면, 상기 방법은, 기판(100)의 전면(FS) 상에 내부 회로들(150)을 형성하는 것을 포함할 수 있다. 내부 회로들(150)은 다수 개의 전도성 내부 비아들(151, inner vias) 및 다층의 전도성 내부 배선들(152, inner wires)을 포함할 수 있다. 내부 비아들(151)은 수직으로 연장한 기둥 형태로 도시되고 내부 배선들(152)은 수평으로 연장한 메사(mesa) 모양으로 도시된다.

[0075] 상기 공정은 내부 회로들(150)을 덮는 하부 층간 절연막(130) 및 상부 층간 절연막(140)을 형성하는 것을 포함

할 수 있다. 관통 비아 패드(155)가 관통 비아 구조체(200)의 전면 단부(FE)와 접촉하도록 상부 층간 절연막(140) 내에 형성될 수 있다. 예를 들어, 하부 층간 절연막(130) 상에 형성될 수 있다. 관통 비아 패드(155)는 금속을 포함할 수 있다. 상부 층간 절연막(140)들은 다층으로 형성될 것이나, 도면을 간단하게 도시하기 위하여, 하나의 층인 것처럼 도시된다.

[0076] 도 2g를 참조하면, 상기 방법은, 상부 층간 절연막(140) 상에 전면 패드 비아 플러그(153, front side pad via plug) 및 전면 패시베이션 층(160, front side passivation layer)을 형성하는 것을 포함할 수 있다. 전면 패드 비아 플러그(153)는 금속을 포함할 수 있다. 예를 들어, 전면 패드 비아 플러그(153)는 최상부 금속층을 포함할 수 있다. 전면 패시베이션 층(160)은 실리콘 질화물, 실리콘 산화물, 또는 폴리이미드 등을 포함할 수 있다. 전면 패시베이션 층(160)은 전면 패드 비아 플러그(153)의 상부를 노출하는 하부 오프닝(301)을 포함할 수 있다.

[0077] 도 2h를 참조하면, 상기 방법은, 하부 오프닝(301)의 내부 및 전면 패시베이션 층(160) 상에 전면 패드 배리어 층(320) 및 전면 패드 씨드 층(330)을 형성하는 것을 포함할 수 있다. 전면 패드 배리어 층(320)을 형성하는 것은 배리어용 금속을 스퍼터링 같은 물리 기상 증착 공정(PVD, physical vapor deposition process) 또는 금속 유기 화학 증착 공정(MOCVD, metal organic chemical vapor deposition process)을 이용하여 전면 패시베이션 층(160) 상에 컨포멀하게 형성하는 것을 포함할 수 있다. 전면 패드 배리어 층(320)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈룸(Ta), 탄탈룸 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 전면 패드 배리어 층(320)은 단층 또는 다층으로 형성될 수 있다. 전면 패드 씨드 층(330)을 형성하는 것은 전면 패드 배리어 층(320) 상에 구리(Cu), 루데늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 스퍼터링 같은 물리 기상 증착 공정 또는 화학 기상 증착 공정 등을 이용하여 컨포멀하게 형성하는 것을 포함할 수 있다.

[0078] 도 2i를 참조하면, 상기 방법은, 전면 패드 씨드 층(330) 상에 전면 패드 마스크 패턴(310)을 형성하는 것을 포함할 수 있다. 전면 패드 마스크 패턴(310)은 하부 오프닝(301)과 정렬하는 상부 오프닝(302)을 가질 수 있다. 전면 패드 마스크 패턴(310)은 포토레지스트 패턴을 포함할 수 있다.

[0079] 도 2j를 참조하면, 상기 방법은, 전면 패드(300p)를 형성하는 것을 포함할 수 있다. 전면 패드(300p)를 형성하는 것은 하부 오프닝(301) 및 상부 오프닝(302) 내에 전면 패드 금속층(340) 및 전면 패드 캡핑층(350)을 형성하는 것을 포함할 수 있다. 전면 패드 금속층(340)을 형성하는 것은 도금 공정 등을 이용하여 니켈 또는 텅스텐 등의 금속을 형성하는 것을 포함할 수 있다. 전면 패드 캡핑층(350)을 형성하는 것은 전면 패드 금속층(340) 상에 금(Au, gold), 니켈 또는 은(Ag, silver) 등을 도금하는 것을 포함할 수 있다.

[0080] 도 2k를 참조하면, 상기 방법은, 전면 패드(300)를 형성하는 것을 포함할 수 있다. 전면 패드(300)를 형성하는 것은 전면 패드 마스크 패턴(310)을 제거하고, 전면 패시베이션 층(160) 상에 노출된 전면 패드 씨드 층(330) 및 전면 패드 배리어 층(320)을 습식 식각 공정 등을 이용하여 부분적으로 제거하는 것을 포함할 수 있다. 전면 패드 씨드 층(330)을 제거하는 것은 과산화수소수(hydrogen perozide solution)와 구연산(citric acid), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다. 전면 패드 배리어 층(320)을 제거하는 것은 과산화수소수(hydrogen peroxide solution)와 수산화칼슘(KOH), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다.

[0081] 도 3a 내지 3n는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법을 설명하는 종단면도들이다.

[0082] 도 3a를 참조하면, 상기 방법은, 기판(100)을 뒤집어 웨이퍼 지지 캐리어(WSC) 상에 탑재하는 것을 포함할 수 있다. 웨이퍼 지지 캐리어(WSC) 상에는 전면 패드(300) 등을 물리적 충격으로부터 보호하기 위한 쿠션 층(C)이 배치될 수 있다.

[0083] 도 3b를 참조하면, 상기 방법은, 기판(100)의 후면(BS)을 전면적 및/또는 선택적으로 제거하여 관통 비아 구조체(200)의 후면 단부(BE)를 노출시키는 것을 포함할 수 있다. 예를 들어, 관통 비아 구조체(200)의 후면 단부(BE)의 상면 및 측면의 일부가 노출될 수 있다. 기판(100)의 후면(BS)을 제거하는 것은, 예를 들어, 그라인딩 공정(grinding process) 및/또는 에치-백 공정(etch-back process) 등을 포함할 수 있다.

[0084] 도 3c를 참조하면, 상기 방법은, 기판(100)의 후면(BS) 및 관통 비아 구조체(200)의 후면 단부를 덮는 하부 후면 절연층(170) 및 상부 후면 절연층(180)을 형성하는 것을 포함할 수 있다. 예를 들어, 하부 후면 절연층(170)은 실리콘 산화물을 포함할 수 있고, 상부 후면 절연층(180)은 실리콘 질화물을 포함할 수 있다.

[0085] 도 3d를 참조하면, 상기 방법은, 관통 비아 구조체(200)의 관통 비아 코어(240)를 노출시키는 것을 포함할 수 있다. 예를 들어, 관통 비아 코어(240)를 노출시키는 것은, CMP 같은 평탄화 공정을 수행하는 것을 포함할 수 있다. 이 공정에서, 관통 비아 라이너(210) 및 관통 비아 배리어 층(220)도 노출될 수 있다. 또한, 관통 비아 구조체(200)를 감싸는 하부 후면 절연층(170)도 노출될수 있다. 이 공정에서 상부 후면 절연층(180)이 CMP 등의 정지막으로 이용될 수 있다. 부가하여, 상부 후면 절연층(180)이 잔존할 수 있다. 관통 비아 구조체(200)의 노출된 표면과 상부 후면 절연층(180)의 상부 표면이 동일할 수 있다.

[0086] 도 3e를 참조하면, 상기 방법은, 재배선 그루브(401)를 갖는 재배선 마스크 패턴(410)을 형성하는 것을 포함할 수 있다. 예를 들어, 재배선 그루브(401)는 관통 비아 구조체(200)의 단부를 노출할 수 있다. 재배선 마스크 패턴(410)은 포토레지스트 같은 유기물, 실리콘 산화물, 또는 실리콘 질화물을 포함할 수 있다. 예를 들어, 재배선 마스크 패턴(410)이 상부 후면 절연층(180)과 접촉하는 경우, 재배선 마스크 패턴(410)은 상부 후면 절연층(180)과 다른 물질을 포함할 수 있다. 다른 실시예에서, 예를 들어, 상부 후면 절연층(180)이 생략되어 재배선 마스크 패턴(410)과 하부 후면 절연층(170)이 접촉하는 경우, 재배선 마스크 패턴(410)은 하부 후면 절연층(170)과 다른 물질을 포함할 수 있다.

[0087] 도 3f을 참조하면, 상기 방법은, 재배선 그루브(401) 내부와 재배선 마스크 패턴(410) 상에 재배선 배리어 층(420) 및 재배선 씨드 층(430)을 형성하는 것을 포함할 수 있다. 재배선 배리어 층(420)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 재배선 씨드 층(430)은 구리(Cu), 루데늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 포함할 수 있다.

[0088] 도 3g를 참조하면, 상기 방법은, 재배선 그루브(401)를 채우는 희생층(480)을 형성하는 것을 포함할 수 있다. 희생층(480)은 예를 들어, 포토레지스트 같은 유기물, 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 예를 들어, 희생층(480)은 전면적으로 형성된 후, 포토리소그래피 공정을 통하여 형성될 수도 있다.

[0089] 도 3h를 참조하면, 상기 방법은, 재배선 씨드 층(430)을 부분적으로 제거하는 것을 포함할 수 있다. 재배선 씨드 층(430)을 부분적으로 제거하는 것은 과산화수소수(hydrogen perozide solution) 와 구연산(citric acid), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다. 이 공정은 희생층(480)과 재배선 배리어 층(420) 사이의 재배선 씨드 층(430)을 풀-백(pull-back)하는 것으로 이해될 수 있다. 이 공정에서, 예를 들어, 재배선 씨드 층(430)이 재배선 그루브(401)의 바닥 면 상에만 잔존할 수 있다. 하지만, 재배선 씨드 층(430)을 정확하게 재배선 그루브(401)의 바닥 면 상에만 잔존시키는 것은 공정 컨트롤이 매우 어려울 수 있다. 따라서, 도 3i를 참조하면, 상기 방법은 재배선 씨드 층(430)을 재배선 그루브(401)의 내벽 상에도 일부 잔존하도록 제거하는 것을 포함할 수도 있다.

[0090] 도 3j를 참조하면, 상기 방법은, 희생층(480)을 제거하는 것을 포함할 수 있다. 희생층(480)이 제거됨에 따라, 재배선 그루브(401)의 바닥 면 및 관통 비아 구조체(200)의 표면 상에는 재배선 배리어 층(420) 및 재배선 씨드 층(430)이 존재하고, 재배선 그루브(401)의 내벽들 및 재배선 마스크 패턴(410)의 표면 상에는 재배선 배리어 층(420)이 존재할 수 있다.

[0091] 도 3k를 참조하면, 상기 방법은, 재배선 그루브(401) 내에 재배선 금속층(440)을 형성하는 것을 포함할 수 있다. 재배선 금속층(440)은 재배선 씨드 층(430)을 씨드로 하는 도금 공정을 수행하는 것을 통하여 형성될 수 있다. 재배선 금속층(440)은 재배선 씨드 층(430)과 동일한 물질을 포함할 수도 있고 다른 물질을 포함할 수도 있다. 만약, 재배선 씨드 층(430)과 재배선 금속층(440)이 동일한 물질을 포함하는 경우, 재배선 씨드 층(430)과 재배선 금속층(440)의 경계면이 사라질 것이다. 또는, 재배선 씨드 층(430)과 재배선 금속층(440)이 서로 다른 물질을 포함하는 경우, 재배선 씨드 층(430)과 재배선 금속층(440)의 경계면은 존재할 것이다. 본 실시예에서는 재배선 씨드 층(430)과 재배선 금속층(440)이 동일한 물질을 포함하는 것으로 간주하여, 다음 도면부터는 그 경계면이 생략될 것이다.

[0092] 도 3l을 참조하면, 상기 방법은, 재배선 배리어 층(420)을 부분적으로 제거하는 것을 포함할 수 있다. 재배선 배리어 층(420)을 부분적으로 제거하는 것은 과산화수소수와 수산화칼슘(KOH), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다. 이 공정은 재배선 금속층(440)과 재배선 마스크 패턴(410) 사이의 재배선 배리어 층(420)을 풀-백하는 것으로 이해될 수 있다. 이 공정에서, 예를 들어, 재배선 배리어 층(420)이 재배선 그루브(401)의 내벽들 상에 부분적으로 존재하도록 공정이 컨트롤 될 수 있다.

[0093] 도 3m을 참조하면, 상기 방법은, 재배선 마스크 패턴(410)을 제거하는 것을 포함할 수 있다.

[0094] 도 3n을 참조하면, 상기 방법은 재배선 금속층(440) 및 재배선 배리어 층(420)을 덮는 후면 패시베이션 층(190)을 형성하는 것을 포함할 수 있다. 후면 패시베이션 층(190)은 재배선 금속층(440)의 일부를 노출시키는 하부 오프닝(501)을 가질 수 있다. 하부 오프닝(501)은 다음 공정에서, 하부 후면 패드(500)를 형성하기 위한 구성 요소로 이용될 수 있다.

[0095] 도 4a 내지 4c는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 후면 패드(500)를 형성하는 방법을 개략적으로 설명하는 종단면도들이다.

[0096] 도 4a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 후면 패시베이션 층(190) 및 재배선 금속층(440) 상에 후면 패드 배리어 층(520) 및 후면 패드 씨드 층(530)을 형성하는 것을 포함할 수 있다. 후면 패드 배리어 층(520)을 형성하는 것은 배리어용 금속을 스퍼터링 같은 물리 기상 증착 공정 또는 금속 유기 화학 증착 공정을 이용하여 후면 패시베이션 층(190) 및 재배선 금속층(440) 상에 컨포멀하게 형성하는 것을 포함할 수 있다. 후면 패드 배리어 층(520)은 티타늄(Ti), 티타늄 질화물(TiN), 티타늄 텅스텐(TiW), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐 질화물(WN), 또는 기타 난 반응성 금속을 포함할 수 있다. 후면 패드 배리어 층(520)은 단층 또는 다층으로 형성될 수 있다. 후면 패드 씨드 층(530)을 형성하는 것은 후면 패드 배리어 층(520) 상에 구리(Cu), 루데늄(Ru), 니켈(Ni), 텅스텐(W) 같은 씨드용 금속을 스퍼터링 같은 물리 기상 증착 공정 또는 화학 기상 증착 공정 등을 이용하여 컨포멀하게 형성하는 것을 포함할 수 있다.

[0097] 도 4b를 참조하면, 상기 방법은, 후면 패드 씨드 층(530) 상에 후면 패드 마스크 패턴(510)을 형성하는 것을 포함할 수 있다. 후면 패드 마스크 패턴(510)은 하부 오프닝(501)과 정렬하는 상부 오프닝(502)을 가질 수 있다. 후면 패드 마스크 패턴(510)은 포토레지스트를 포함할 수 있다.

[0098] 도 4c를 참조하면, 상기 방법은, 예비 후면 패드(500p)를 형성하는 것을 포함할 수 있다. 예비 후면 패드(500p)를 형성하는 것을 후면 패드 오프닝(501) 내에 후면 패드 금속층(540) 및 후면 패드 캡핑층(550)을 형성하는 것을 포함할 수 있다. 후면 패드 금속층(540)을 형성하는 것은 도금 공정 등을 이용하여 니켈 또는 텅스텐 등의 금속을 형성하는 것을 포함할 수 있다. 후면 패드 캡핑층(550)을 형성하는 것은 후면 패드 금속층(540) 상에 금(Au, gold), 니켈 또는 은(Ag, silver) 등을 도금하는 것을 포함할 수 있다.

[0099] 도 1a를 참조하면, 상기 방법은, 후면 패드(500)를 형성하는 것을 포함할 수 있다. 후면 패드(500)를 형성하는 것은 후면 패드 마스크 패턴(510)을 제거하고, 후면 패시베이션 층(190) 상에 노출된 후면 패드 씨드 층(530) 및 후면 패드 배리어 층(520)을 습식 식각 공정 등을 이용하여 부분적으로 제거하는 것을 포함할 수 있다. 후면 패드 씨드 층(530)을 제거하는 것은 과산화수소수(hydrogen perozide solution)와 구연산(citric acid), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다. 후면 패드 배리어 층(520)을 제거하는 것은 과산화수소수(hydrogen peroxide solution)와 수산화칼슘(KOH), 및 물을 포함하는 화학 용액을 이용한 습식 식각 공정을 수행하는 것을 포함할 수 있다.

[0100] 도 5a 및 5b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법을 설명하는 종단면도들이다.

[0101] 도 5a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 2a 내지 3c를 참조하여 설명된 공정들이 수행된 후, 관통 비아 구조체(200)의 관통 비아 코어(240)를 노출시키되, 상부 후면 절연층(180)을 제거하는 것을 포함할 수 있다. 예를 들어, CMP 공정 등을 초과 수행하여 상부 후면 절연층(180)이 모두 제거되고 하부 후면 절연층(170)의 표면이 노출될 수 있다. 관통 비아 구조체(200)의 노출된 표면과 하부 후면 절연층(170)의 상부 표면이 동일할 수 있다.

[0102] 도 5b를 참조하면, 상기 방법은, 도 3e 및 3l을 참조하여 설명된 공정들이 수행되어, 재배선 그루브(401)를 갖는 재배선 마스크 패턴(410)을 형성하고, 재배선 그루브(401) 내부와 재배선 마스크 패턴(410) 상에 재배선 배리어 층(420) 및 재배선 씨드 층(430)을 형성하고, 재배선 그루브(401)를 채우는 희생층(480)을 형성하고, 재배선 씨드 층(430)을 부분적으로 제거하고, 희생층(480)을 제거하고, 재배선 그루브(401) 내에 재배선 금속층(440)을 형성하고, 및 재배선 배리어 층(420)을 부분적으로 제거하는 것을 포함할 수 있다. 하부 후면 절연층(170)과 재배선 배리어 층(420)이 전체적으로 직접적으로 접촉할 수 있다.

[0103] 이후, 도 3m 내지 4c를 참조하여 설명된 공정들이 수행된 후, 도 1b를 더 참조하여, 후면 패드 마스크 패턴(510)을 제거하고, 후면 패시베이션 층(190) 상에 노출된 후면 패드 씨드 층(530) 및 후면 패드 배리어 층(520)을 습식 식각 공정 등을 이용하여 부분적으로 제거하는 것을 포함할 수 있다.

[0104] 도 6은 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법을 설명하는 도면이다. 도 6을 참조하면, 본 발명의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법은, 도 2a 내지 3k를 참조하여 설명된 공정들이 수행된 후, 재배선 배리어 층(420)을 부분적으로 제거하되, 재배선 배리어 층(420)이 재배선 금속층(440)의 측면들을 충분히 노출하도록 제거하는 것을 포함할 수 있다. 예를 들어, 재배선 배리어 층(420)은 재배선 그루브(401)의 바닥 면을 덮고, 재배선 그루브(401)의 측벽들을 부분적으로 덮을 수 있다. 재배선 배리어 층(420)의 측 단부들은 재배선 금속층(440)의 측면들보다 수평적으로 돌출할 수 있다. 또는, 재배선 배리어 층(420)은 재배선 그루브(401)의 측벽과 접촉하지 않을 수도 있다. 이후, 도 3m 내지 4c를 참조하여 설명된 공정들이 수행된 후, 도 1c를 더 참조하여, 후면 패드 마스크 패턴(510)을 제거하고, 후면 패시베이션 층(190) 상에 노출된 후면 패드 씨드 층(530) 및 후면 패드 배리어 층(520)을 습식 식각 공정 등을 이용하여 부분적으로 제거하는 것을 포함할 수 있다.

[0105] 부가하여, 도 5a 및 6을 참조하여 설명된 공정들이 수행되어, 도 1d에 도시된 반도체 소자(10D)의 재배선 구조체(400)가 형성될 수 있다는 것이 이해될 수 있을 것이다.

[0106] 도 7a 내지 7c는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법을 설명하는 종단면도들이다.

[0107] 도 7a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자들(10A-10I)의 재배선 구조체(400)를 형성하는 방법은, 도 2a 내지 3f를 참조하여 설명된 공정들이 수행된 후, 재배선 씨드 층(430) 상에 재배선 금속 물질층(440a)을 형성하는 것을 포함할 수 있다.

[0108] 도 7b를 참조하면, 상기 방법은, 재배선 금속 물질층(440a), 재배선 씨드 층(430), 및 재배선 배리어 층(420)의 상부들을 제거하여 재배선 구조체(400)를 형성하는 것을 포함할 수 있다. 재배선 금속 물질층(440a)을 제거하는 것은 CMP 공정을 수행하는 것을 포함할 수 있다. 재배선 씨드 층(430) 및 재배선 배리어 층(420)을 제거하는 것은 CMP 공정 및/또는 습식 식각 공정을 수행하는 것을 포함할 수 있다.

[0109] 도 7c를 참조하면, 상기 방법은 재배선 마스크 패턴(410)을 제거하는 것을 포함할 수 있다. 이후, 도 3n 내지 5b를 참조하여 설명된 공정들이 수행된 후, 도 1e를 더 참조하여, 후면 패드 마스크 패턴(510)을 제거하고, 후면 패시베이션 층(190) 상에 노출된 후면 패드 씨드 층(530) 및 후면 패드 배리어 층(520)을 습식 식각 공정 등을 이용하여 부분적으로 제거하는 것을 포함할 수 있다.

[0110] 부가하여, 도 *6* 및/또는 3n 내지 4c를 참조하여 설명된 공정들이 수행되어, 도 1f에 도시된 반도체 소자(10F)의 재배선 구조체(400)가 형성될 수 있다는 것이 이해될 수 있을 것이다.

[0111] 도 8a 및 8b는 본 발명의 기술적 사상의 다양한 반도체 소자들을 제조하는 방법을 설명하는 종단면도들이다.

[0112] 도 8a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자를 제조하는 방법은, 도 2a 내지 3b를 참조하여 설명된 공정들이 수행된 후, 노출된 관통 비아 구조체(200)를 감싸도록 기판(100)의 후면(BS) 상에 하부 후면 절연층(170), 상부 후면 절연층(180), 및 최상부 후면 절연층(185)을 형성하는 것을 포함할 수 있다. 하부 후면 절연층() 및 최상부 후면 절연층(185)은 실리콘 산화물을 포함할 수 있고, 상부 후면 절연층(180)은 실리콘 질화물을 포함할 수 있다.

[0113] 도 8b를 참조하면, 상기 방법은 관통 비아 구조체(200)의 후면 단부(200)를 노출시키는 것을 포함할 수 있다. 예를 들어, CMP 공정 등을 수행하여 관통 비아 구조체(200)의 관통 비아 코어(240)를 노출시키는 것을 포함할 수 있다. 이후, 도 3a 내지 7c 및 그 설명들을 참조하여 설명된 공정들을 수행하여 도 1g 내지 1i에 도시된 반도체 소자들(10G, 10H, 10I)가 제조될 수 있다.

[0114] 도 9a 및 9b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자 적층 구조들(1000A, 1000B)을 개략적으로 도시한 단면도들이다.

[0115] 도 9a를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자 적층 구조(1000A)는, 하부 반도체 소자(1100) 및 상부 반도체 소자(1200)를 포함할 수 있다. 하부 반도체 소자(1100)의 전면 패드(1130)와 상부 반도체 소자(1200)의 후면 패드(1260)는 범프(1010)를 이용하여 전기적으로 연결될 수 있다. 예를 들어, 하부 반도체 소자(1100)의 전면 패드(1130)와 상부 반도체 소자(1200)의 후면 패드(1260)가 전기적으로 연결된 반도체 소자 적층 구조(1000A)가 형성될 수 있다. 범프(1010)는 솔더 물질을 포함할 수 있다. 예를 들어, 범프는 주석(Sn), 은(Ag), 및 구리(Cu)를 포함할 수 있다. 범프(1010)는 니켈(Ni)을 더 포함할 수도 있다. 하부 반도체 소자(1100)

및 상부 반도체 소자(1200)는 동일할 수 있다. 예를 들어, 전면 패드(1130)와 후면 패드(1260)가 수직으로 정렬될 수 있다.

[0116] 도 9b를 참조하면, 본 발명의 일 실시예에 의한 반도체 소자 적층 구조(1000B)는, 하부 반도체 소자(1110) 및 상부 반도체 소자(1200)를 포함할 수 있다. 예를 들어, 하부 반도체 소자(1110)는 로직 소자를 포함할 수 있고, 상부 반도체 소자(1200)는 메모리 소자를 포함할 수 있다. 예를 들어, 하부 반도체 소자(1110)의 전면 패드(1130)와 하부 반도체 소자(1110)의 후면 패드(1260)가 범프(1010)를 통하여 물리적 및/또는 전기적으로 연결될 수 있다.

[0117] 도 10a는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함하는 반도체 모듈(2200)을 개념적으로 도시한 도면이다. 도 10a를 참조하면, 본 발명의 기술적 사상의 일 실시예에 의한 반도체 모듈(2200)은, 반도체 모듈 기판(2210) 상에 실장된 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 하나를 포함할 수 있다. 반도체 모듈(2200)은 모듈 기판(2210) 상에 실장된 마이크로프로세서(2220)를 더 포함할 수 있다. 모듈 기판(2210)의 적어도 한 변에는 입출력 터미널들(2240)이 배치될 수 있다.

[0118] 도 10b는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함하는 전자 시스템(2300)을 개념적으로 도시한 블록도이다. 도 10b를 참조하면, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 은 전자 시스템(2300)에 적용될 수 있다. 전자 시스템(2300)은 바디(Body; 2310)를 포함할 수 있다. 바디(2310)는 마이크로 프로세서(Micro Processor; 2320), 파워 서플라이(Power Supply; 2330), 기능 유닛(Function Unit; 2340), 및/또는 디스플레이 컨트롤러(Display Controller; 2350)를 포함할 수 있다. 바디(2310)는 인쇄 회로 기판(PCB) 등을 갖는 시스템 보드 또는 마더 보드(Mother Board)일 수 있다. 마이크로 프로세서(2320), 파워 서플라이(2330), 기능 유닛(2340), 및 디스플레이 컨트롤러(2350)는 바디(2310)상에 실장 또는 장착될 수 있다. 바디(2310)의 상면 혹은 바디(2310)의 외부에 디스플레이(2360)가 배치될 수 있다. 예를 들면, 디스플레이(2360)은 바디(2310)의 표면 상에 배치되어 디스플레이 컨트롤러(2350)에 의해 프로세싱된 이미지를 표시할 수 있다. 파워 서플라이(2330)는 외부의 전원 등으로부터 일정 전압을 공급받아 이를 다양한 전압 레벨로 분기하여 마이크로 프로세서(2320), 기능 유닛(2340), 디스플레이 컨트롤러(2350) 등으로 공급할 수 있다. 마이크로 프로세서(2320)는 파워 서플라이(2330)로부터 전압을 공급받아 기능 유닛(2340)과 디스플레이(2360)를 제어할 수 있다. 기능 유닛(2340)은 다양한 전자 시스템(2300)의 기능을 수행할 수 있다. 예를 들어, 전자 시스템(2300)이 휴대폰 같은 모바일 전자 제품인 경우 기능 유닛(2340)은 다이얼링, 또는 외부 장치(External Apparatus; 2370)와의 교신으로 디스플레이(2360)으로의 영상 출력, 스피커로의 음성 출력 등과 같은 무선 통신 기능을 수행할 수 있는 여러 구성 요소들을 포함할 수 있으며, 카메라를 포함하는 경우, 이미지 프로세서(Image Processor)의 역할을 할 수 있다. 다른 실시예에서, 전자 시스템(2300)이 용량 확장을 위해 메모리 카드 등과 연결되는 경우, 기능 유닛(2340)은 메모리 카드 컨트롤러일 수 있다. 기능 유닛(2340)은 유선 혹은 무선의 통신 유닛(Communication Unit; 2380)을 통해 외부 장치(2370)와 신호를 주고 받을 수 있다. 또한, 전자 시스템(2300)이 기능 확장을 위해 유에스비(Universal Serial Bus; USB) 등을 필요로 하는 경우, 기능 유닛(2340)은 인터페이스 컨트롤러(Interface Controller)의 역할을 할 수 있다. 본 발명의 기술적 사상에 의한 다양한 실시예들에서 설명된 반도체 소자들(10A-10F)은 마이크로 프로세서(2320) 및 기능 유닛(2340) 중 적어도 어느 하나에 포함될 수 있다.

[0119] 도 10c는 본 발명의 기술적 사상이 적용된 일 실시예에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함하는 가진 다른 전자 시스템(2400)을 개략적으로 도시한 블록도이다. 도 10c를 참조하면, 전자 시스템(2400)은 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함할 수 있다. 전자 시스템(2400)은 모바일 기기 또는 컴퓨터를 제조하는데 사용될 수 있다. 예를 들어, 전자 시스템(2400)은 메모리 시스템(2412), 마이크로프로세서(2414), 램(2416) 및 버스(2420)를 사용하여 데이터 통신을 수행하는 유저 인터페이스(2418)를 포함할 수 있다. 마이크로프로세서(2414)는 전자 시스템(2400)을 프로그램 및 컨트롤할 수 있다. 램(2416)은 마이크로프로세서(2414)의 동작 메모리로 사용될 수 있다. 예를 들어, 마이크로프로세서(2414) 또는 램(2416)은 본 발명의 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함할 수 있다. 마이크로프로세서(2414), 램(2416) 및/또는 다른 구성 요소들은 단일 패키지 내에 조립될 수 있다. 유저 인터페이스(2418)는 전자 시스템(2400)으로 데이터를 입력하거나 또는 전자 시스템(2400)으로부터 출력하는데 사용될 수 있다. 메모리 시스템(2412)은 마이크로프로세서(2414) 동작용 코드들, 마이크로프로세서(2414)에 의해 처리된 데이터, 또는 외부 입력 데이터를 저장할 수 있다. 메모리 시스템(2412)은 컨트롤러 및 메모리를 포함할 수 있다.

[0120] 도 10d는 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나를 포함하는 모바일 기기(2500)를 개략적으로 도시한 도면이다. 모바일 기기(2500)는 모바일 폰 또는 태블릿 PC를 포함할 수 있다. 부가하여, 본 발명의 기술적 사상의 다양한 실시예들에 의한 반도체 소자들(10A-10F) 중 적어도 하나는 모바일 폰 또는 태블릿 PC 외에도, 노트북 같은 휴대용 컴퓨터, mpeg-1 오디오 레이어 3 (MP3) 플레이어, MP4 플레이어, 네비게이션 기기, 솔리드 스테이트 디스크(SSD), 테이블 컴퓨터, 자동차 및 가정용 가전 제품에 사용될 수 있다.

[0121] 이상, 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

[0122] 10A-10F: 반도체 소자

100: 기판

FS: 전면

BS: 후면

110: 단위 소자들

130: 하부 층간 절연막

140: 중간 층간 절연막

150: 내부 회로

151: 내부 비아

152: 내부 배선

153: 전면 패드 비아 플러그

155: 관통 비아 패드

160: 전면 패시베이션 층

170: 하부 후면 절연층

175: 후면 절연층

180: 상부 후면 절연층

190: 후면 패시베이션 층

200: 관통 비아 구조체

201: 관통 비아 홀

205: 관통 비아 홀 마스크 패턴

210: 관통 비아 라이너

220: 관통 비아 배리어 층

230: 관통 비아 씨드 층

240a: 관통 비아 코어 물질 층

240: 관통 비아 코어

300: 전면 패드

300p: 예비 전면 패드

301: 하부 전면 패드 오프닝

310: 전면 패드 마스크 패턴

320: 전면 패드 배리어 층

330: 전면 패드 씨드 층

340: 전면 패드 금속층

350: 전면 패드 캡핑층

400: 재배선 구조체

401: 재배선 그루브

410: 재배선 마스크 패턴

420: 재배선 배리어 층

430: 재배선 씨드 층

440: 재배선 금속층

440a: 재배선 금속 물질층

480: 희생층

500: 후면 패드

500p: 예비 후면 패드

501: 하부 오프닝

502: 상부 오프닝

510: 후면 패드 마스크 패턴

520: 후면 패드 배리어 층

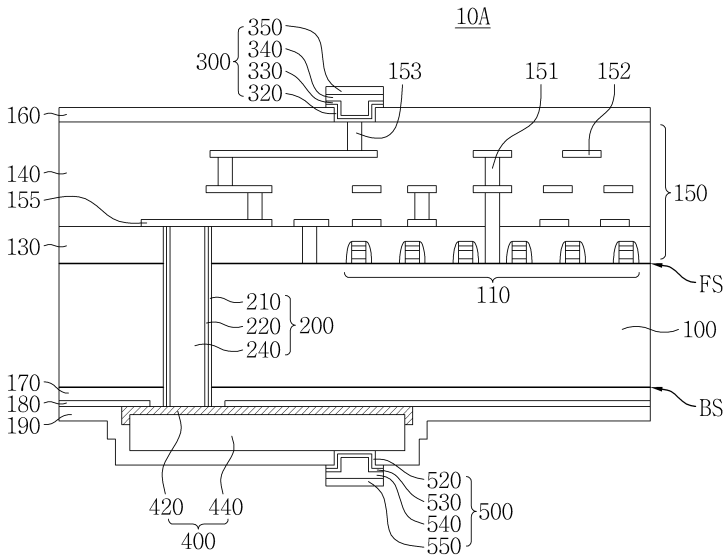
530: 후면 패드 씨드 층

540: 후면 패드 금속층

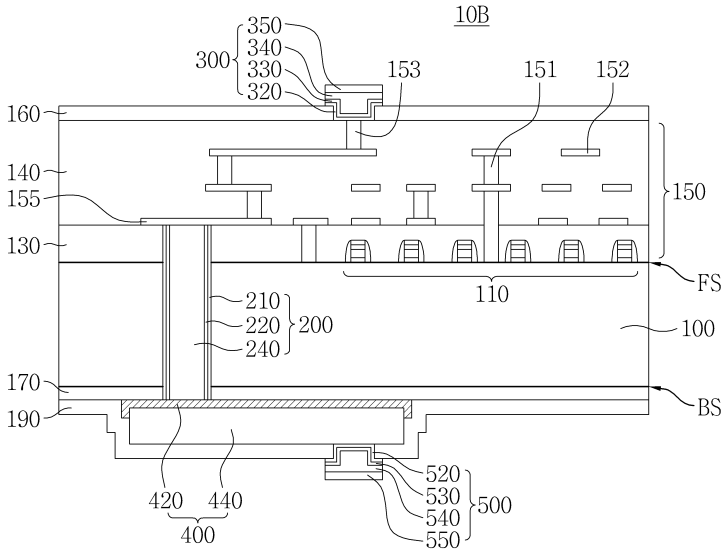
550: 후면 패드 캡핑층

도면

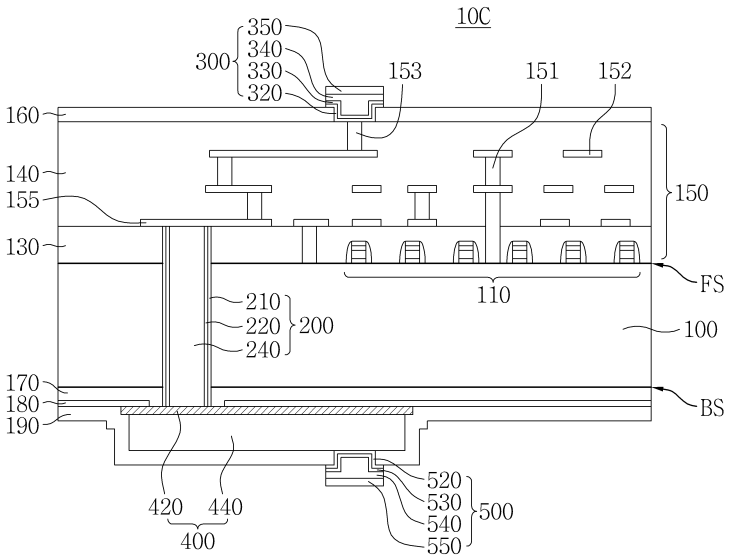
도면1a


10A
350
340
330
320
300
153
151
152
160
140
155
130
150
110
FS
210
220
200
240
100
170
180
190
BS
420
440
400
520
530
540
550
500

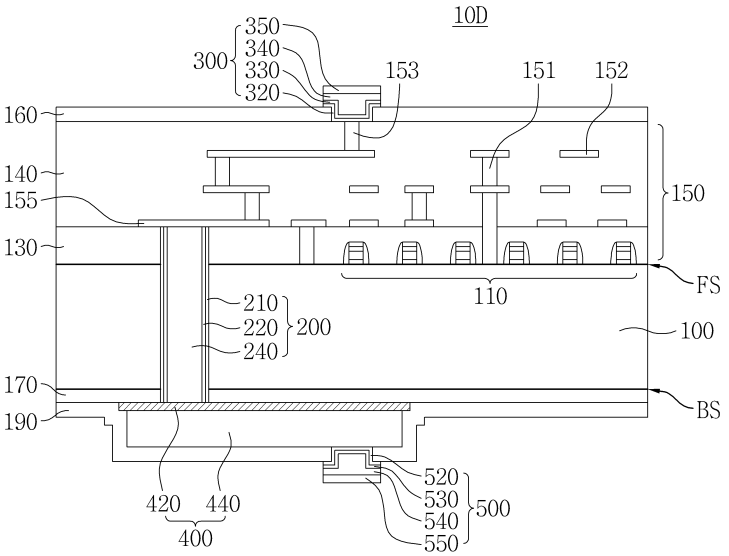
도면1b


10B
350
340
330
320
300
153
151
152
160
140
155
130
150
110
FS
210
220
200
240
100
170
190
BS
420
440
400
520
530
540
550
500

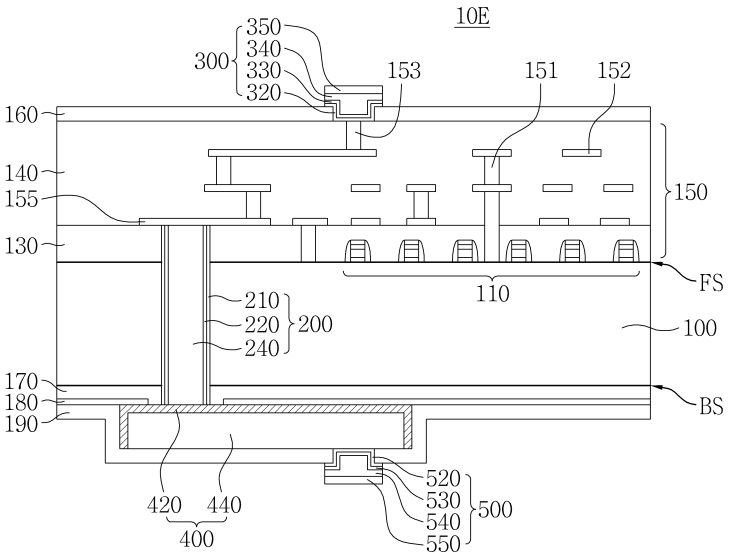
도면1c


10C
350
340
330
320
300
153
151
152
160
140
155
150
130
110
FS
210
220
240
200
100
170
180
190
BS
420
440
400
520
530
540
550
500

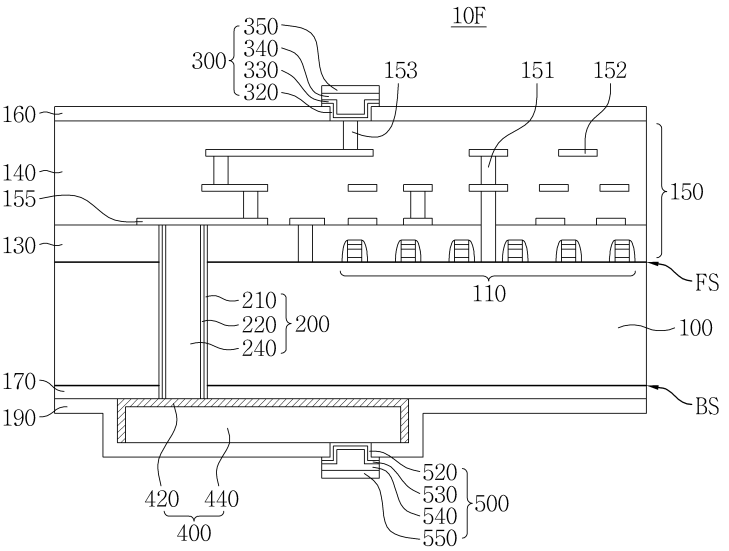
도면1d


10D
350
340
330
320
300
153
151
152
160
140
155
150
130
110
FS
210
220
240
200
100
170
190
BS
420
440
400
520
530
540
550
500

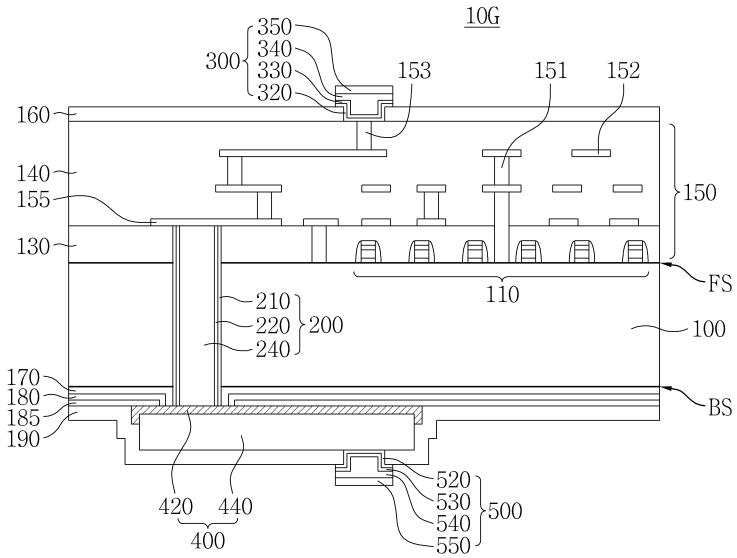
도면1e


10E
350
340
330
320
300
153
151
152
160
140
155
130
150
FS
110
210
220
240
200
100
170
180
190
BS
520
530
540
550
500
420
440
400

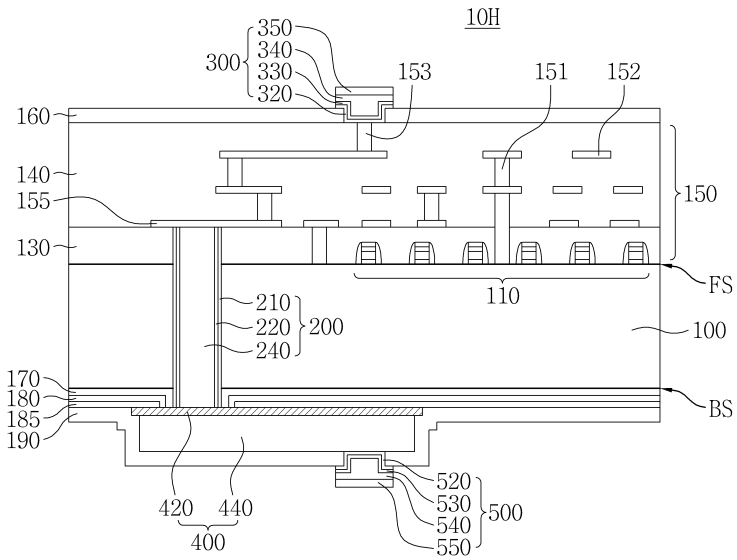
도면1f


10F
350
340
330
320
300
153
151
152
160
140
155
130
150
FS
110
210
220
240
200
100
170
190
BS
520
530
540
550
500
420
440
400

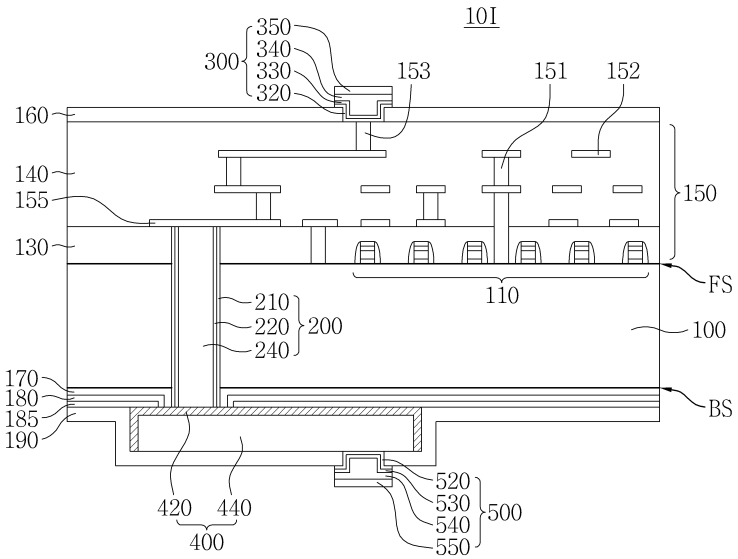
도면1g


10G
350
340
330
320
300
153
151
152
160
140
155
150
130
FS
110
210
220
240
200
100
170
180
185
190
BS
520
530
540
550
500
420
440
400

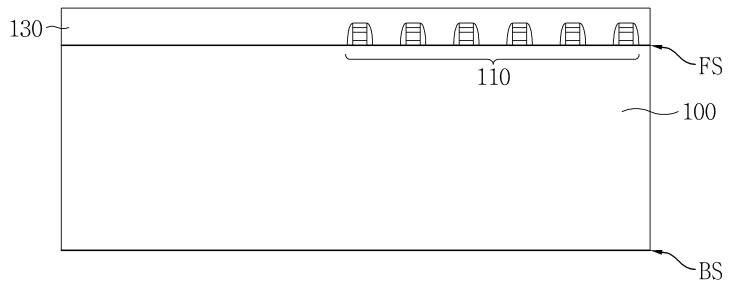
도면1h


10H
350
340
330
320
300
153
151
152
160
140
155
150
130
FS
110
210
220
240
200
100
170
180
185
190
BS
520
530
540
550
500
420
440
400

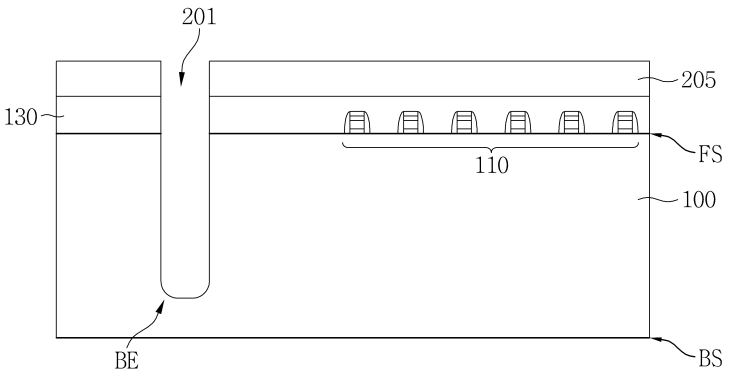
도면1i



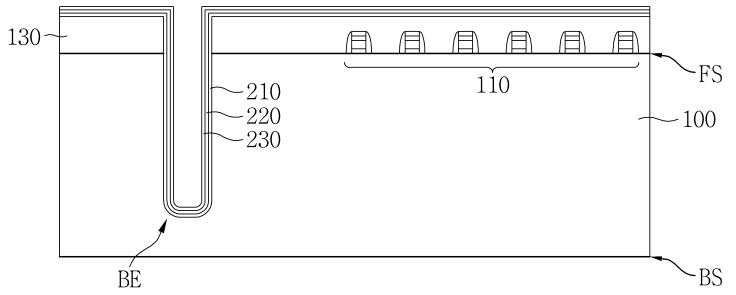
도면2a



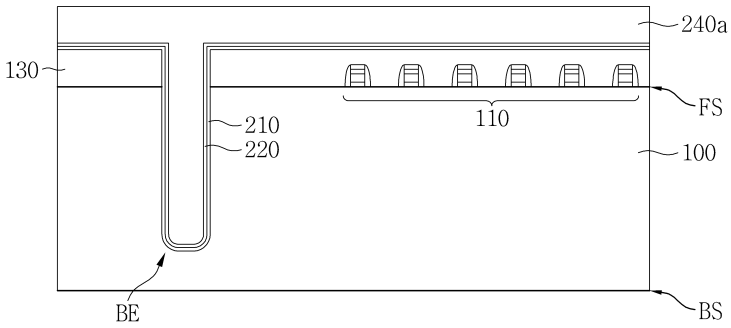
도면2b



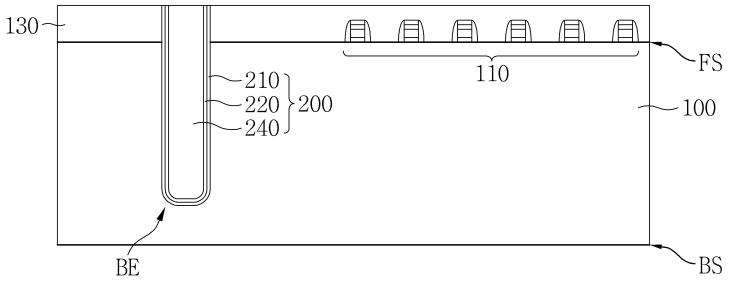
도면2c



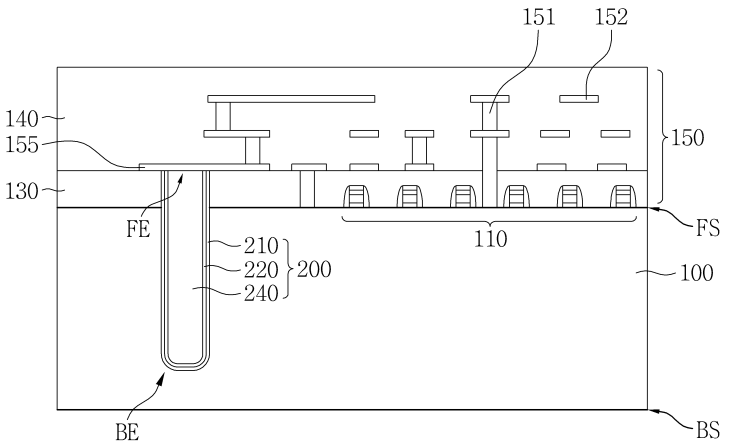
도면2d



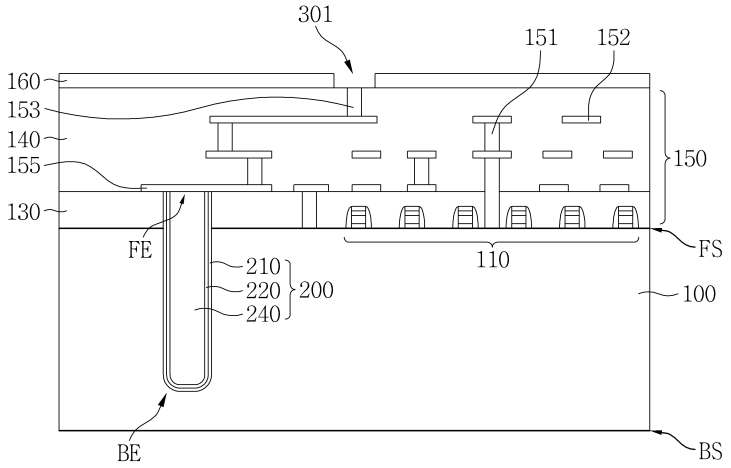
도면2e



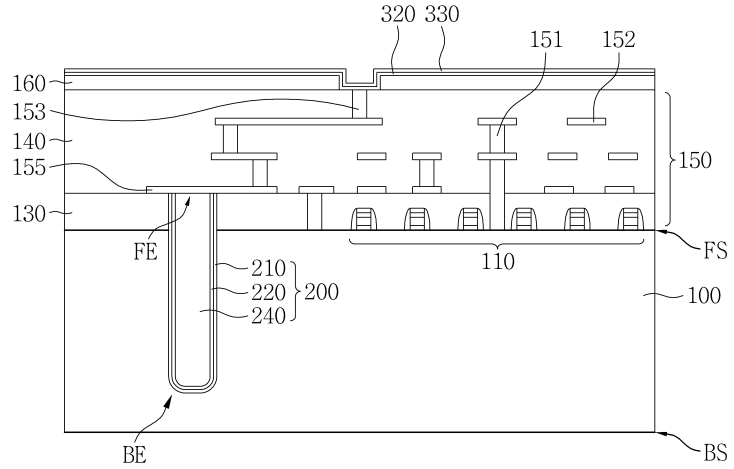
도면2f



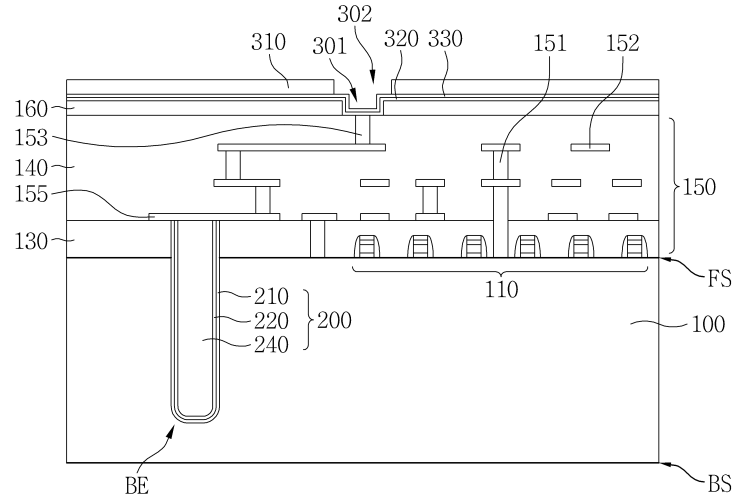
도면2g



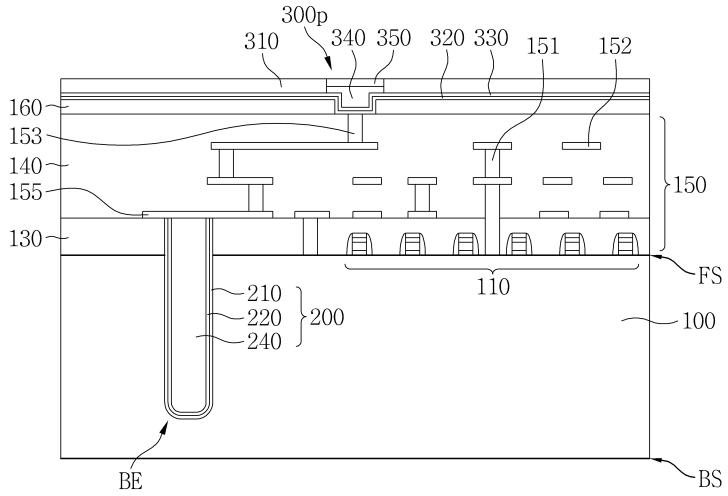
도면2h



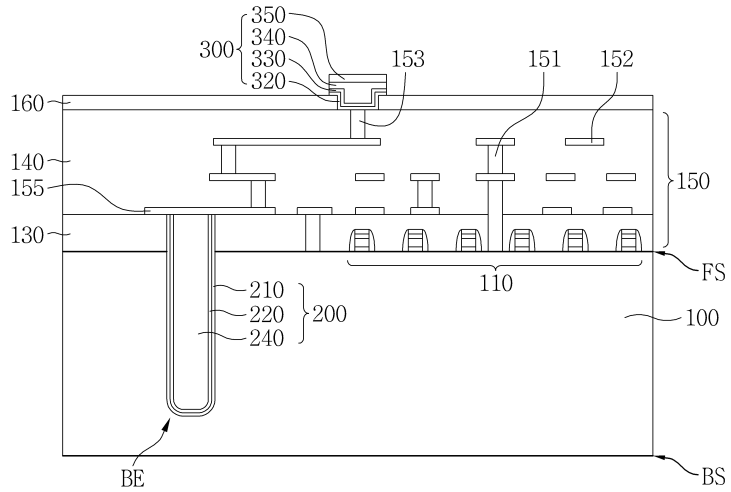
도면2i



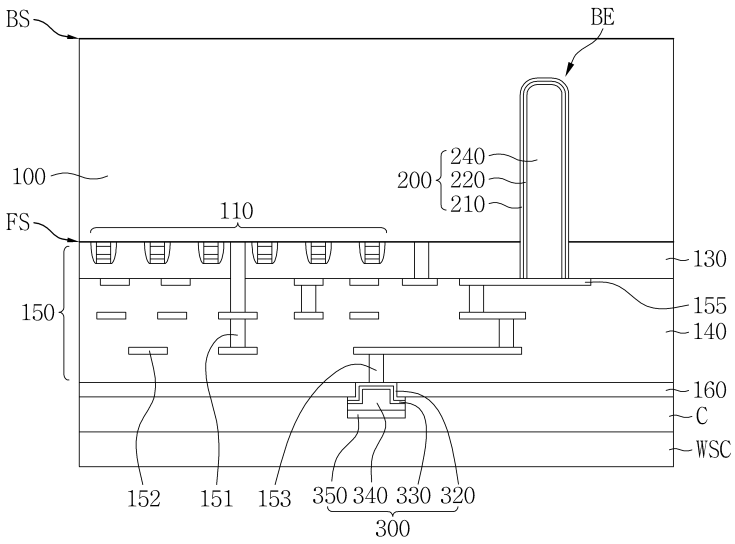
도면2j



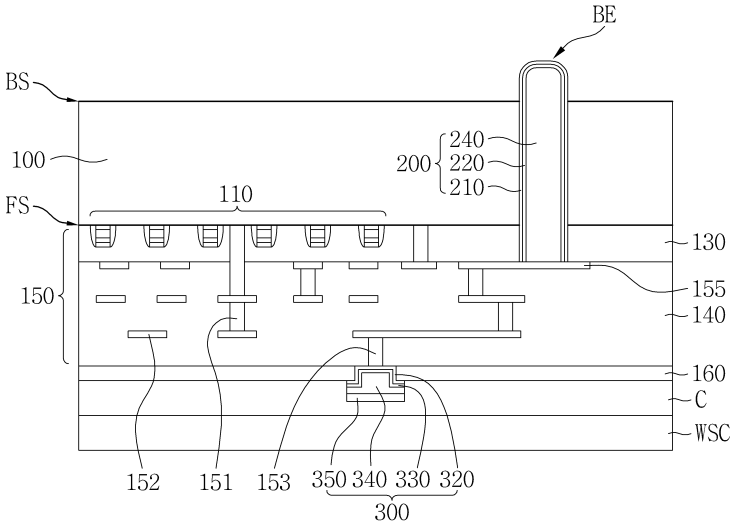
도면2k



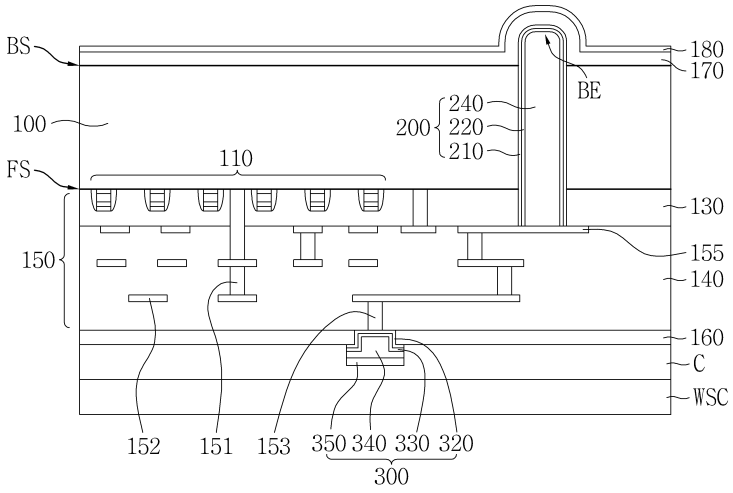
도면3a



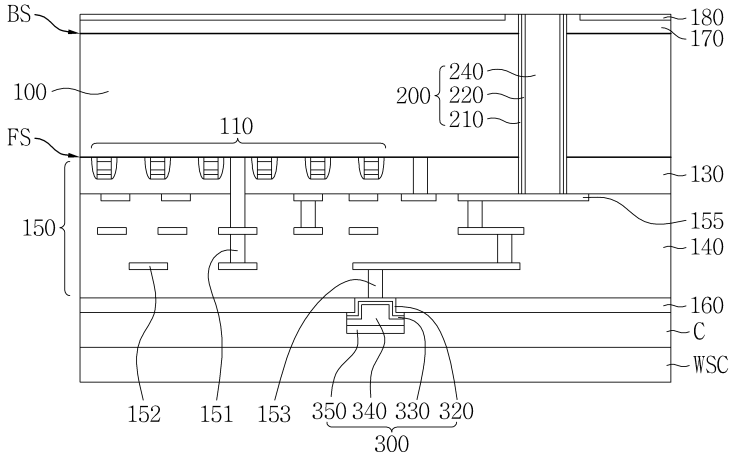
도면3b



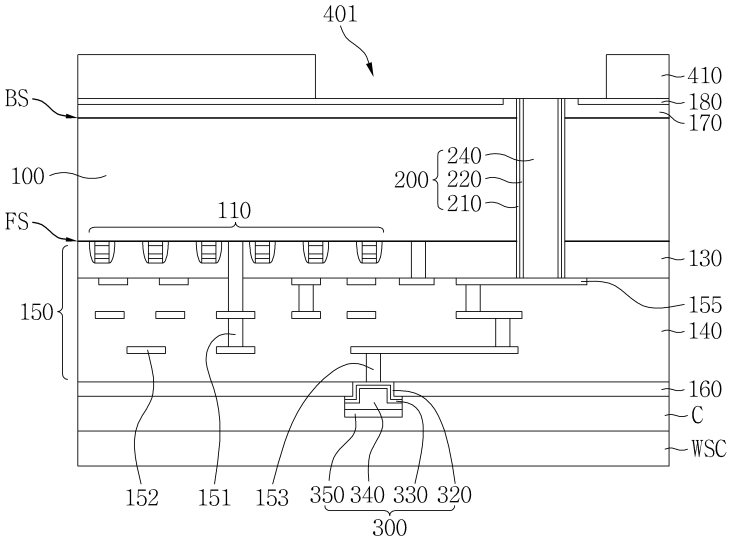
도면3c



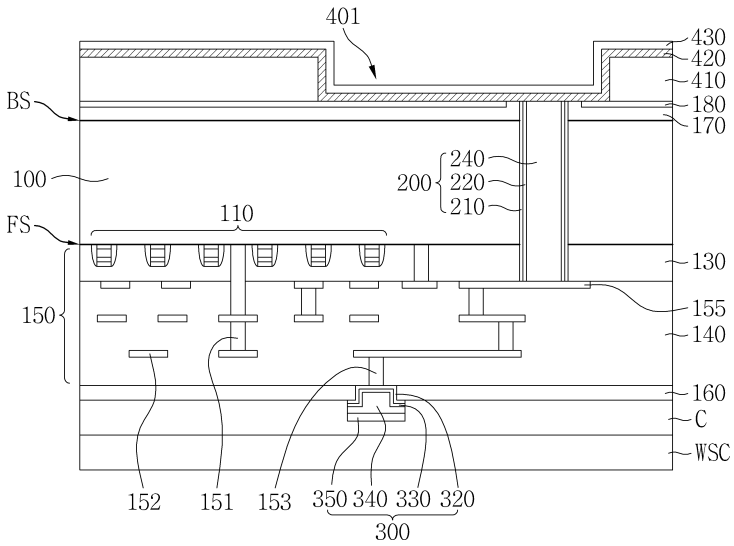
도면3d



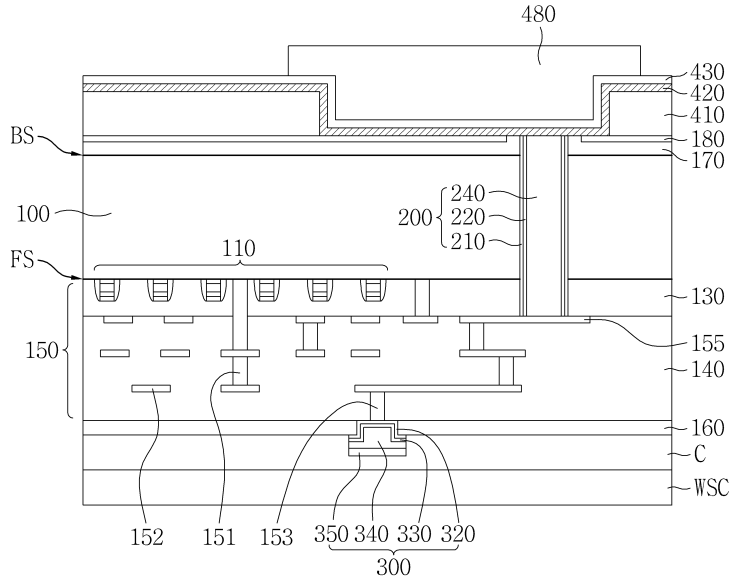
도면3e


401
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

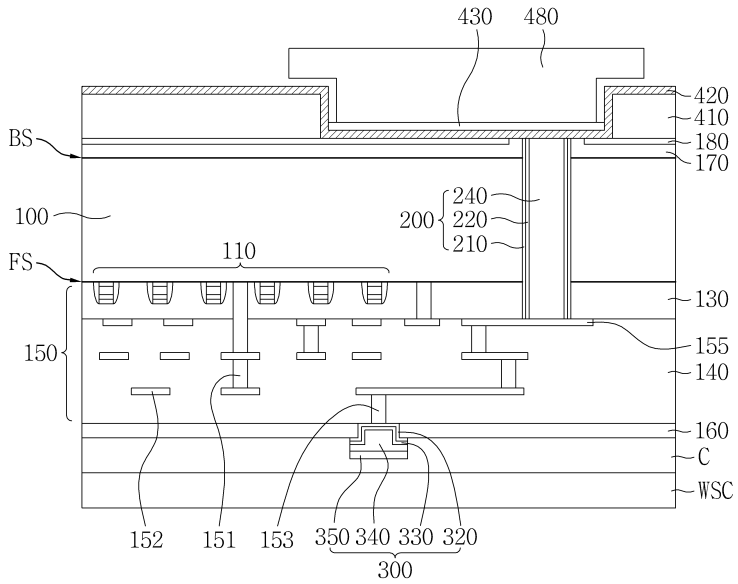
도면3f


401
430
420
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

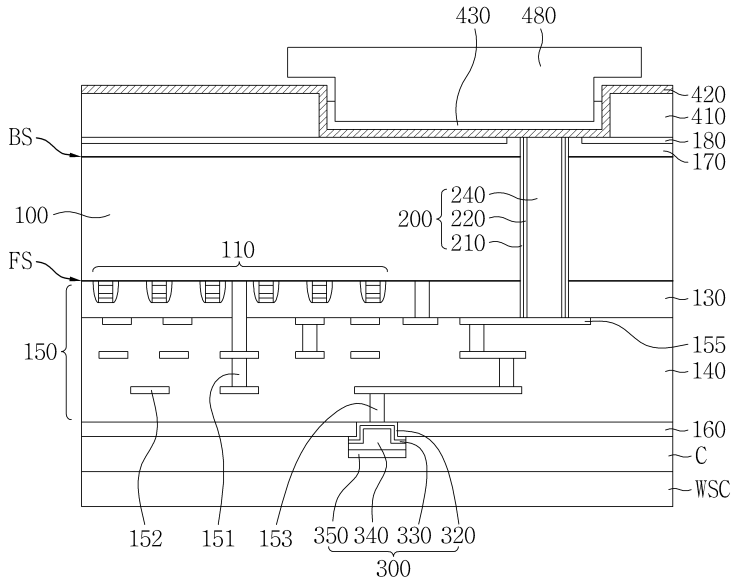
도면3g


480
430
420
410
180
170
BS
100
240
200
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

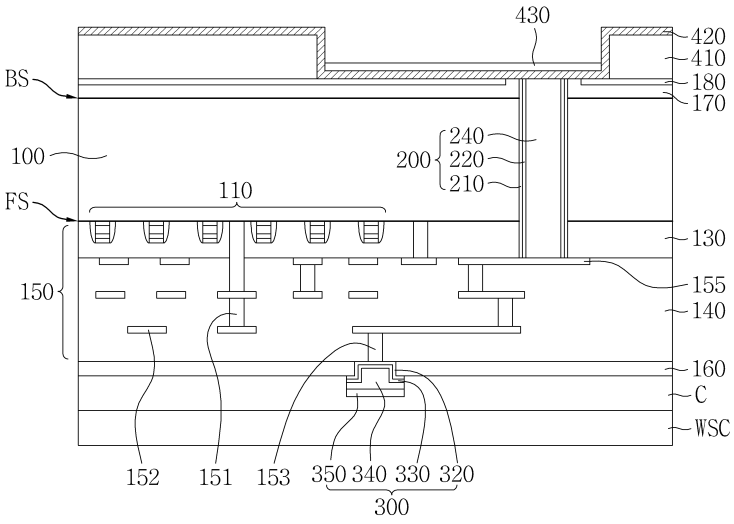
도면3h


430
480
420
410
180
170
BS
100
240
200
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

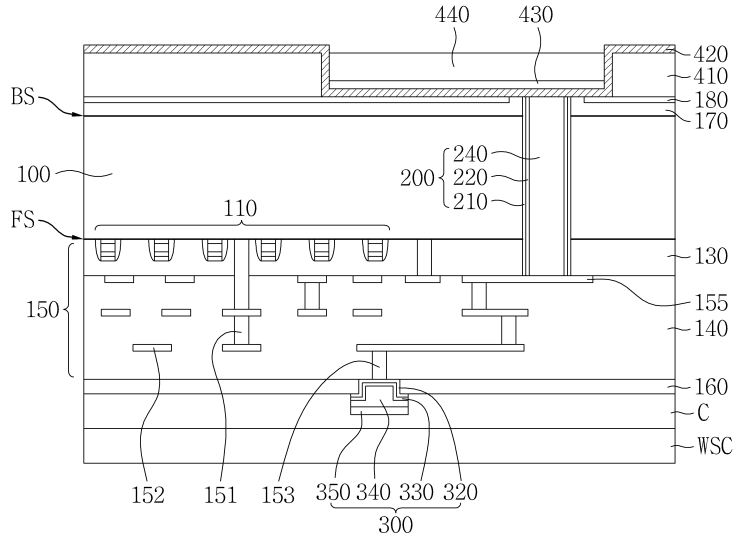
도면3i


430
480
420
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

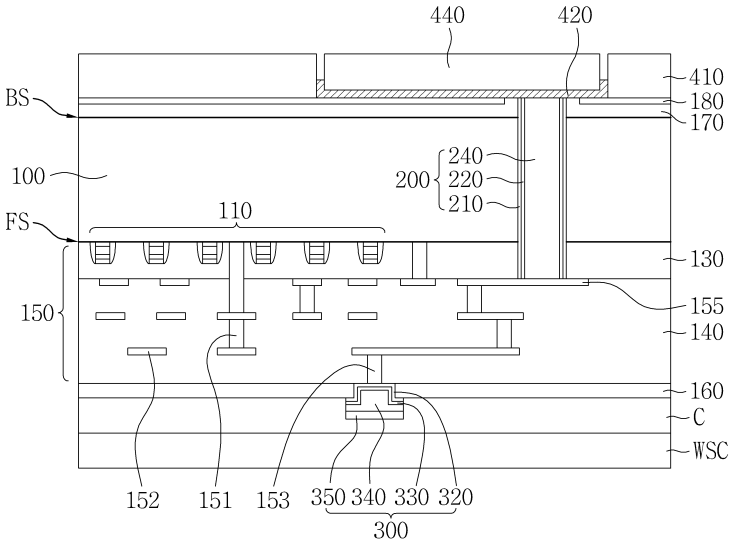
도면3j


430
420
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

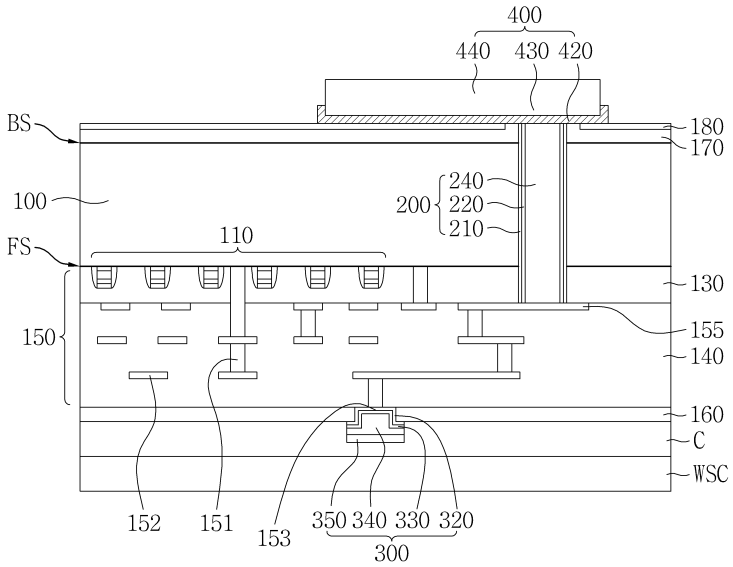
도면3k


440
430
420
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

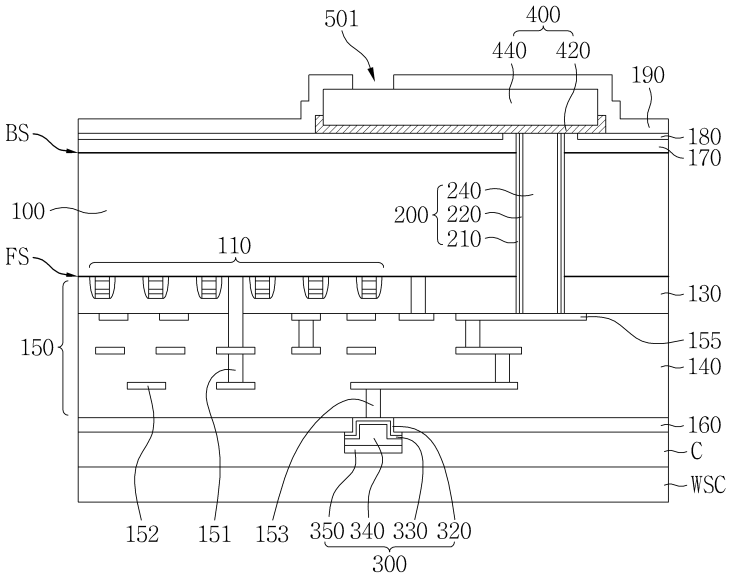
도면31


440
420
410
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

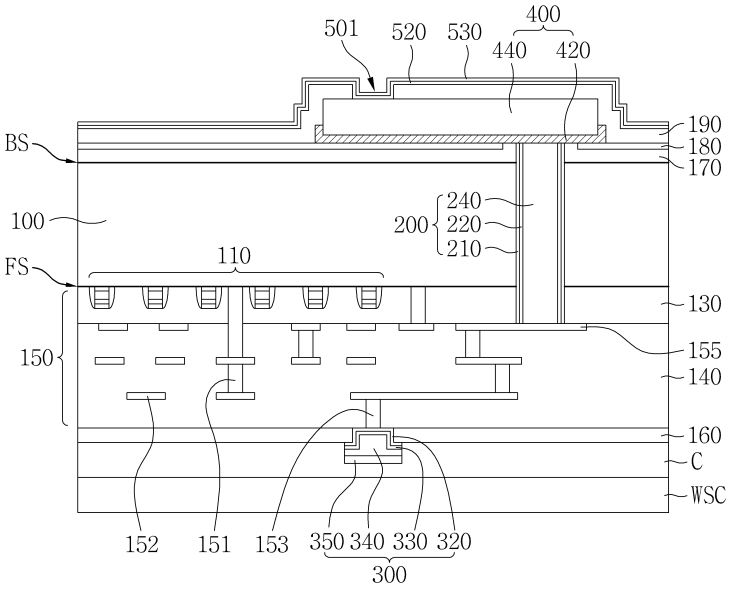
도면3m


400
440
430
420
BS
180
170
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

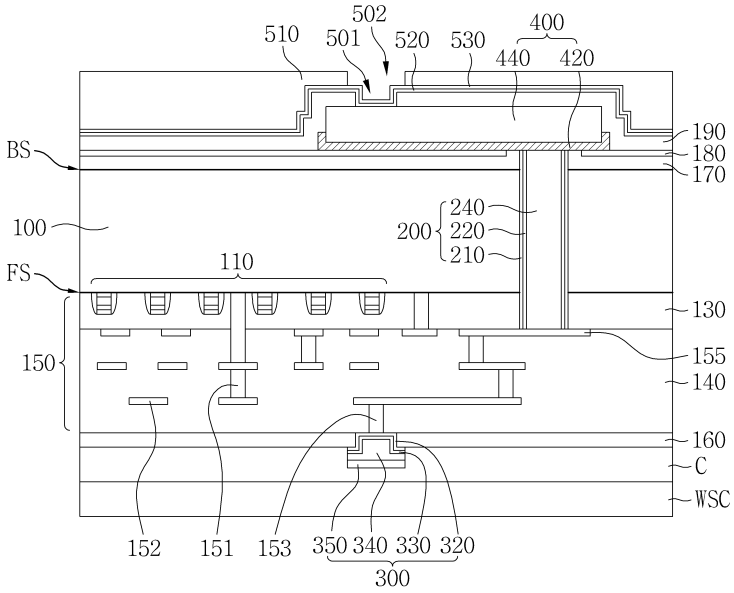
도면3n


501
400
440
420
190
BS
180
170
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

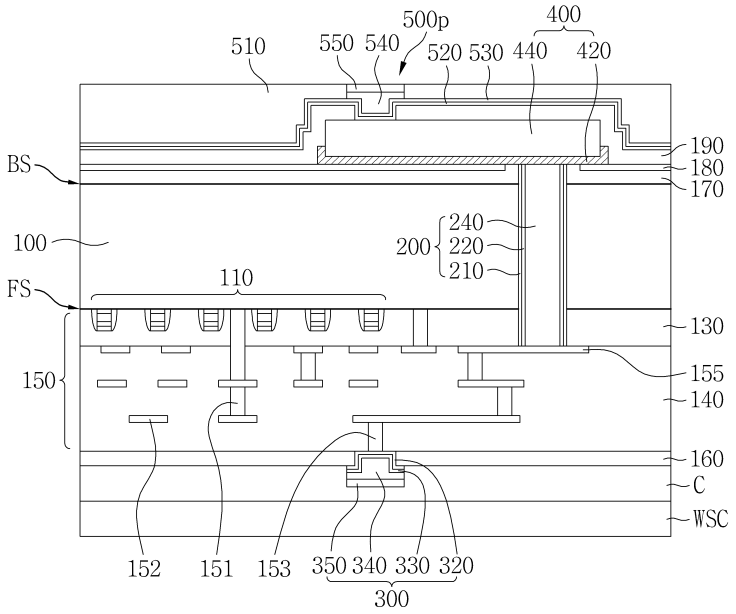
도면4a


501
520
530
400
440
420
190
180
170
BS
100
240
200
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

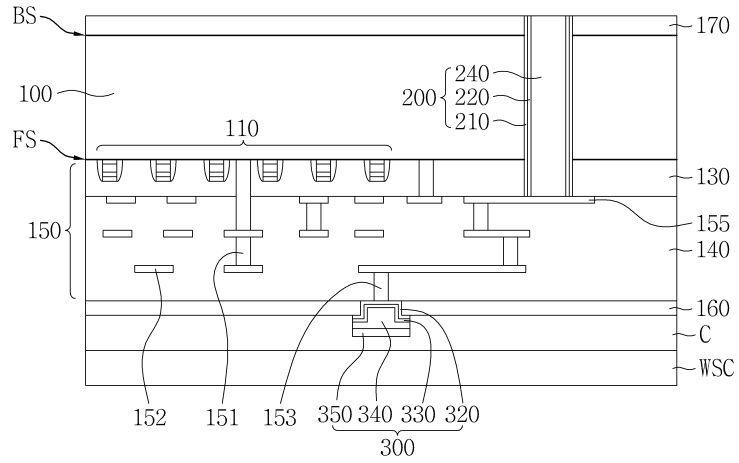
도면4b


502
510
501
520
530
400
440
420
190
180
170
BS
100
240
200
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

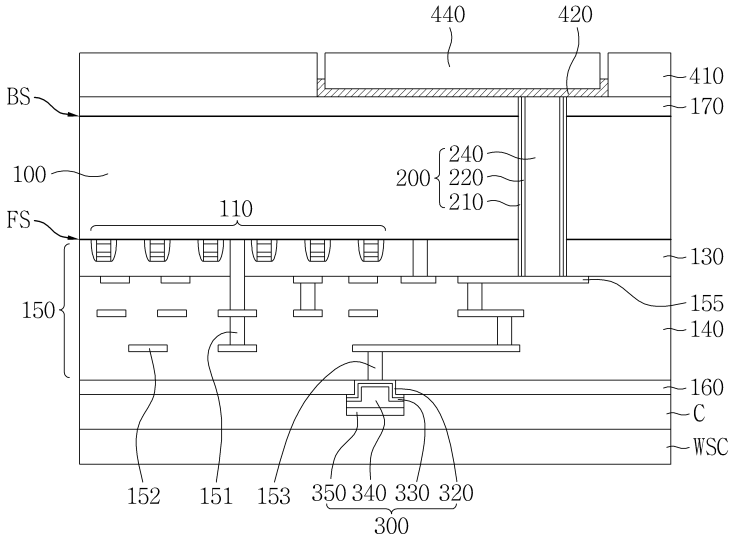
도면4c


500p
400
510
550
540
520
530
440
420
190
180
170
BS
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

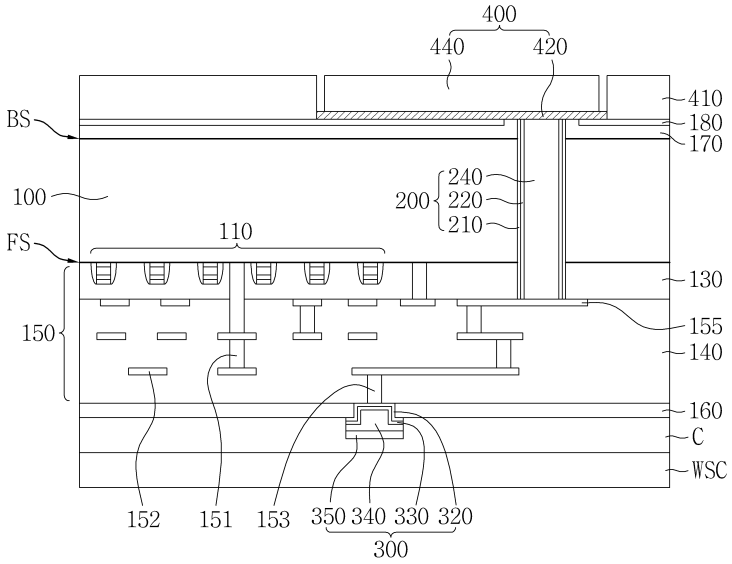
도면5a


BS
170
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

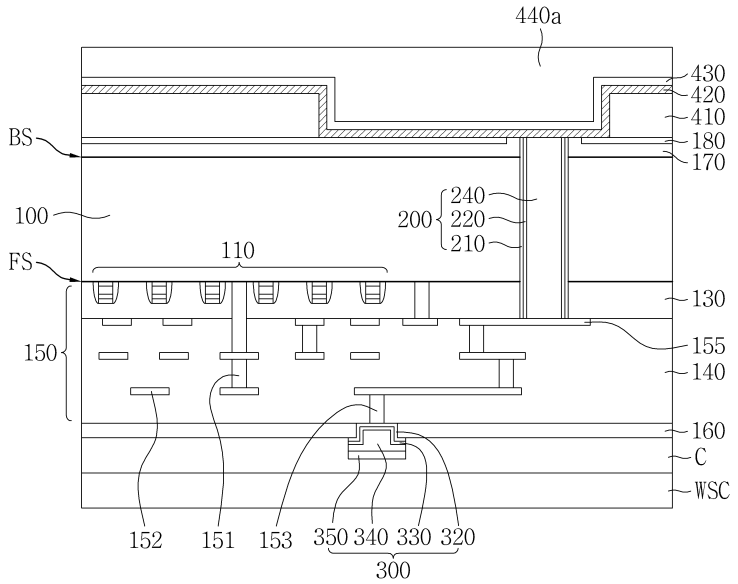
도면5b


440
420
410
BS
170
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

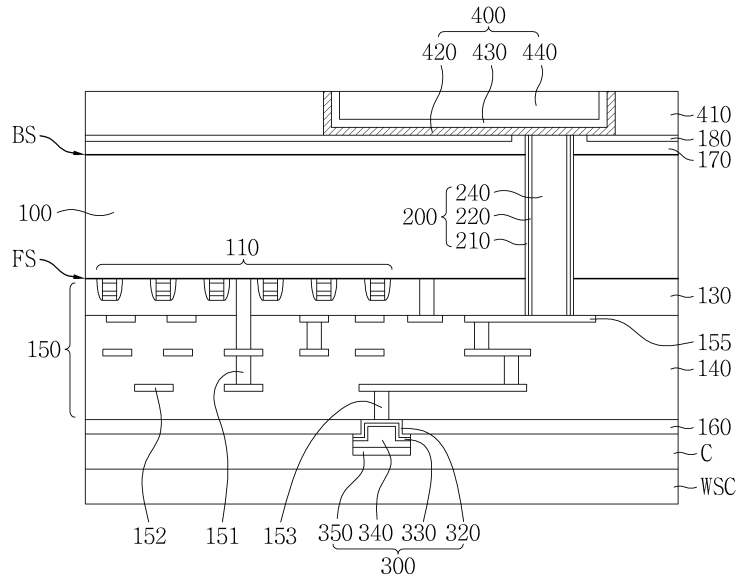
도면6


400
440
420
410
BS
180
170
100
240
200
220
210
110
FS
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

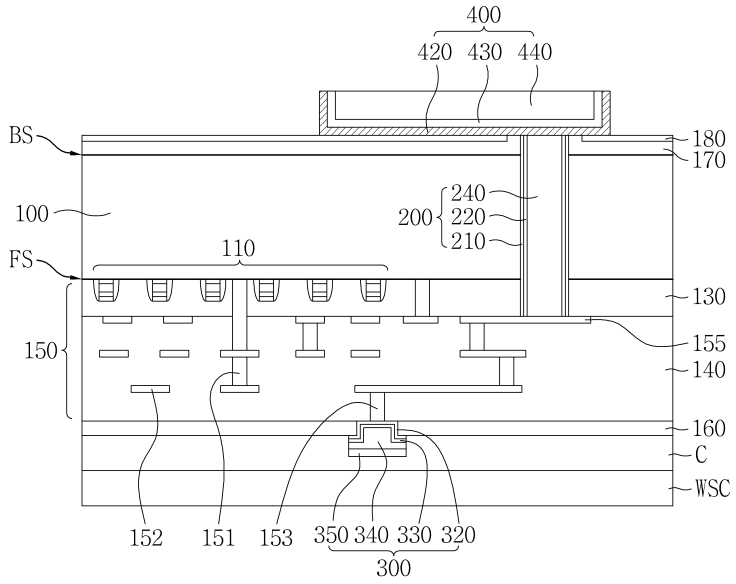
도면7a


440a
430
420
410
180
170
BS
100
200
240
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

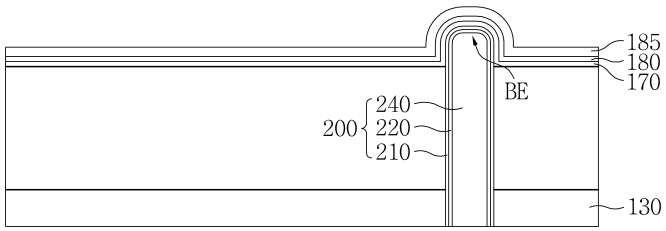
도면7b


400
420
430
440
410
180
170
BS
100
200
240
220
210
FS
110
130
150
155
140
160
C
WSC
152
151
153
350
340
330
320
300

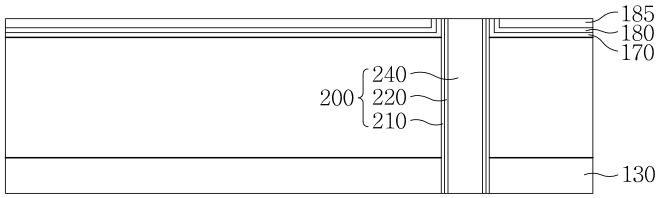
도면7c



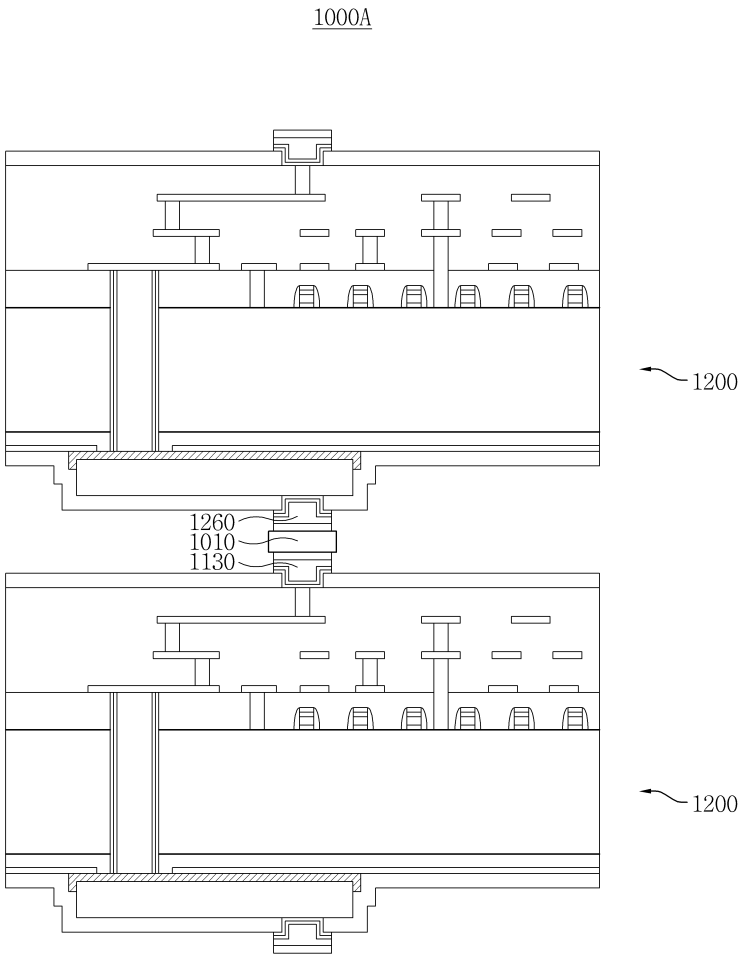
도면8a



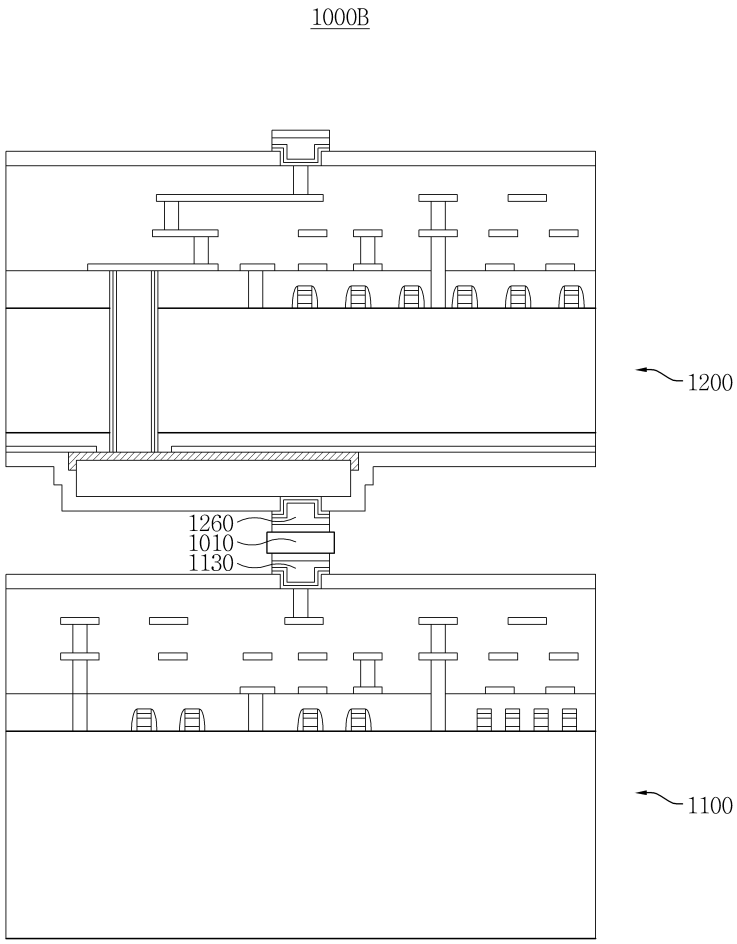
도면8b



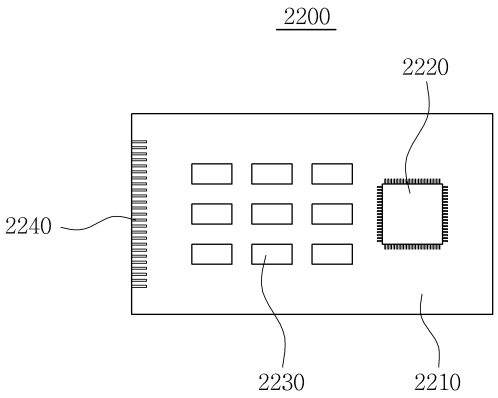
도면9a



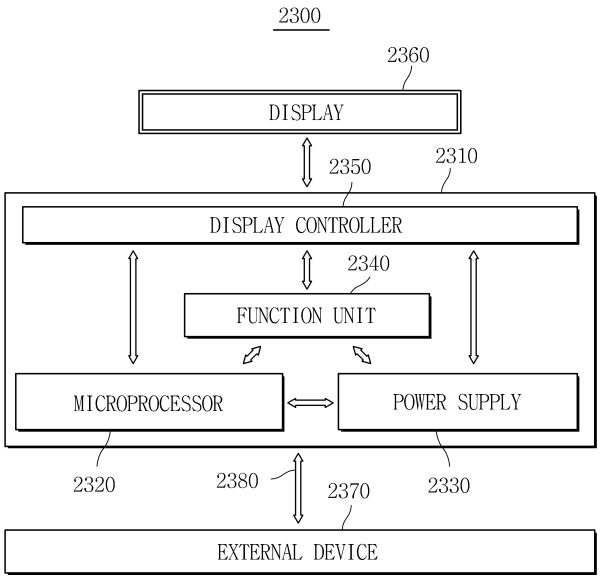
도면9b



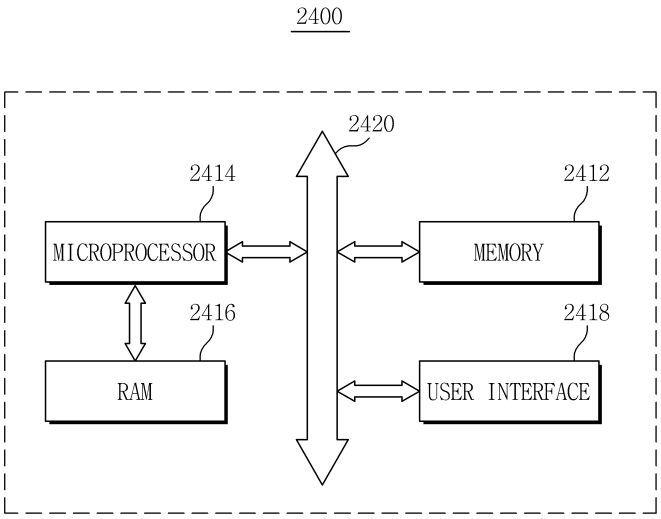
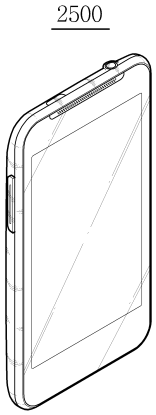
도면10a



도면10b



도면10c



도면10d