



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0011791
(43) 공개일자 2014년01월29일

(51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 21/335 (2006.01)
(21) 출원번호 10-2012-0078956
(22) 출원일자 2012년07월19일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
전우철
경기도 수원시 영통구 청명북로 33 청명마을4단지
아파트 409-801
(74) 대리인
리앤목특허법인

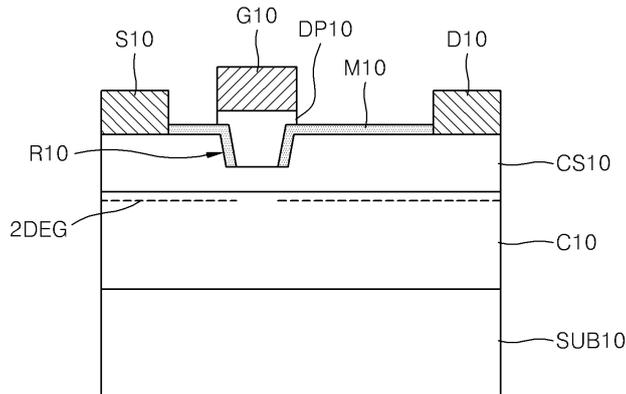
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 **고전자이동도 트랜지스터 및 그 제조방법**

(57) 요약

고전자이동도 트랜지스터(HEMT) 및 그 제조방법에 관해 개시되어 있다. 개시된 HEMT는 반도체층, 상기 반도체층 상에 개구부를 갖는 마스크층 및 상기 개구부에 의해 노출된 상기 반도체층 상에 구비된 디플리션 형성층(depletion forming layer)을 포함할 수 있다. 상기 디플리션 형성층은 상기 반도체층의 2DEG(2-dimensional electron gas)에 디플리션 영역을 형성하는 층일 수 있다. 상기 반도체층에 리세스 영역이 형성될 수 있고, 상기 마스크층의 개구부는 상기 리세스 영역의 적어도 일부를 노출시킬 수 있다. 상기 마스크층은 상기 반도체층의 상면 및 상기 리세스 영역의 내측면을 덮을 수 있다. 또는 상기 마스크층은 상기 반도체층의 상면, 상기 리세스 영역의 내측면 및 상기 리세스 영역의 바닥면 일부를 덮을 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 반도체층;

상기 제1 반도체층에 2DEG(2-dimensional electron gas)를 유발하는 제2 반도체층;

상기 제2 반도체층 상에 구비된 것으로, 상기 제2 반도체층의 일부를 노출시키는 개구부를 갖는 절연 마스크층;

상기 개구부에 의해 노출된 상기 제2 반도체층 상에 구비된 것으로, 상기 2DEG에 디플리션 영역(depletion region)을 형성하는 디플리션 형성층;

상기 디플리션 형성층 상에 구비된 게이트; 및

상기 게이트와 이격하여 구비된 소오스 및 드레인;을 포함하는 고전자이동도 트랜지스터(HEMT).

청구항 2

제 1 항에 있어서,

상기 절연 마스크층의 일부는 상기 디플리션 형성층의 일단과 상기 제2 반도체층 사이에 위치하고,

상기 절연 마스크층의 다른 일부는 상기 디플리션 형성층의 타단과 상기 제2 반도체층 사이에 위치하는 HEMT.

청구항 3

제 1 항에 있어서,

상기 제2 반도체층에 리세스 영역이 형성되고,

상기 개구부는 상기 리세스 영역의 적어도 일부를 노출시키며,

상기 디플리션 형성층은 상기 리세스 영역 상에 구비된 HEMT.

청구항 4

제 3 항에 있어서,

상기 절연 마스크층은 상기 리세스 영역을 제외한 상기 제2 반도체층의 상면에 구비되고,

상기 리세스 영역의 바닥면 및 내측면은 상기 개구부에 의해 노출된 HEMT.

청구항 5

제 3 항에 있어서,

상기 절연 마스크층은 상기 제2 반도체층의 상면 및 상기 리세스 영역의 내측면에 구비되고,

상기 리세스 영역의 바닥면은 상기 개구부에 의해 노출된 HEMT.

청구항 6

제 3 항에 있어서,

상기 절연 마스크층은 상기 제2 반도체층의 상면, 상기 리세스 영역의 내측면 및 상기 리세스 영역의 바닥면 일부에 구비되고,

상기 리세스 영역의 바닥면의 나머지 부분은 상기 개구부에 의해 노출된 HEMT.

청구항 7

제 6 항에 있어서,

상기 개구부에 의해 노출된 상기 리세스 영역의 바닥면 부분은 상기 바닥면의 중앙부 또는 그와 인접한 영역인

HEMT.

청구항 8

제 3 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면보다 얇은 깊이로 형성된 HEMT.

청구항 9

제 8 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면에 상기 2DEG가 유지되는 깊이로 형성되고,

상기 리세스 영역에 대응하는 2DEG 영역은 상기 디플리션 형성층에 의해 디플리션되는 HEMT.

청구항 10

제 8 항에 있어서,

상기 리세스 영역에서 상기 제2 반도체층의 두께는 5nm 이상인 HEMT.

청구항 11

제 3 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면까지 형성된 HEMT.

청구항 12

제 11 항에 있어서,

상기 리세스 영역의 바닥면의 폭은 0.5 μ m 이하인 HEMT.

청구항 13

제 1 항에 있어서,

상기 제1 반도체층은 GaN계 물질을 포함하는 HEMT.

청구항 14

제 1 항 또는 제 13 항에 있어서,

상기 제2 반도체층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 갖는 HEMT.

청구항 15

제 1 항에 있어서,

상기 디플리션 형성층은 p형 반도체를 포함하는 HEMT.

청구항 16

제 1 항에 있어서,

상기 디플리션 형성층은 p형 불순물로 도핑된 영역을 포함하는 HEMT.

청구항 17

제 1, 15 및 16 항 중 어느 한 항에 있어서,

상기 디플리션 형성층은 III-V족 계열의 질화물 반도체를 포함하는 HEMT.

청구항 18

제 1 항에 있어서,

상기 게이트에서 상기 절연 마스크층 위로 연장된 필드 플레이트(field plate)를 더 포함하는 HEMT.

청구항 19

제 18 항에 있어서,

상기 필드 플레이트(field plate)는 상기 게이트와 상기 드레인 사이의 상기 절연 마스크층 위로 연장된 HEMT.

청구항 20

제 1 항에 있어서,

상기 HEMT는 노멀리-오프(normally-off) 소자인 HEMT.

청구항 21

제1 반도체층을 형성하는 단계;

상기 제1 반도체층에 2DEG를 유발하는 제2 반도체층을 형성하는 단계;

상기 제2 반도체층 상에 상기 제2 반도체층의 일부를 노출시키는 개구부를 갖는 절연 마스크층을 형성하는 단계;

상기 개구부에 의해 노출된 상기 제2 반도체층 상에 상기 2DEG에 디플리션 영역(depletion region)을 형성하는 디플리션 형성층을 형성하는 단계;

상기 디플리션 형성층 상에 게이트를 형성하는 단계; 및

상기 게이트와 이격된 소오스 및 드레인을 형성하는 단계;를 포함하는 고전자이동도 트랜지스터(HEMT)의 제조방법.

청구항 22

제 21 항에 있어서,

상기 절연 마스크층의 일부는 상기 디플리션 형성층의 일단과 상기 제2 반도체층 사이에 위치하도록 형성되고,

상기 절연 마스크층의 다른 일부는 상기 디플리션 형성층의 타단과 상기 제2 반도체층 사이에 위치하도록 형성되는 HEMT의 제조방법.

청구항 23

제 21 항에 있어서,

상기 제2 반도체층에 리세스 영역을 형성하는 단계를 더 포함하고,

상기 리세스 영역의 적어도 일부는 상기 개구부에 의해 노출되며,

상기 디플리션 형성층은 상기 리세스 영역 상에 형성되는 HEMT의 제조방법.

청구항 24

제 23 항에 있어서,

상기 절연 마스크층은 상기 리세스 영역을 제외한 상기 제2 반도체층의 상면에 형성하고,

상기 리세스 영역의 바닥면 및 내측면은 상기 개구부에 의해 노출된 HEMT의 제조방법.

청구항 25

제 23 항에 있어서,

상기 절연 마스크층은 상기 제2 반도체층의 상면 및 상기 리세스 영역의 내측면에 형성하고,

상기 리세스 영역의 바닥면은 상기 개구부에 의해 노출된 HEMT의 제조방법.

청구항 26

제 23 항에 있어서,

상기 절연 마스크층은 상기 제2 반도체층의 상면, 상기 리세스 영역의 내측면 및 상기 리세스 영역의 바닥면 일부에 형성하고,

상기 리세스 영역의 나머지 부분은 상기 개구부에 의해 노출된 HEMT의 제조방법.

청구항 27

제 26 항에 있어서,

상기 개구부에 의해 노출된 상기 리세스 영역의 바닥면 부분은 상기 바닥면의 중앙부 또는 그와 인접한 영역인 HEMT의 제조방법.

청구항 28

제 23 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면보다 얇은 깊이로 형성하는 HEMT의 제조방법.

청구항 29

제 28 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면에 상기 2DEG가 유지되는 깊이로 형성하고,

상기 리세스 영역에 대응하는 2DEG 영역은 상기 디플리션 형성층에 의해 디플리션되는 HEMT의 제조방법.

청구항 30

제 23 항에 있어서,

상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면까지 형성하는 HEMT의 제조방법.

청구항 31

제 21 항에 있어서,

상기 제1 반도체층은 GaN계 물질을 포함하는 HEMT의 제조방법.

청구항 32

제 21 항 또는 제 31 항에 있어서,

상기 제2 반도체층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 갖는 HEMT의 제조방법.

청구항 33

제 21 항에 있어서,

상기 디플리션 형성층은 p형 반도체를 포함하는 HEMT의 제조방법.

청구항 34

제 21 항에 있어서,

상기 디플리션 형성층은 p형 불순물로 도핑된 영역을 포함하는 HEMT의 제조방법.

청구항 35

제 21, 33 및 34 항 중 어느 한 항에 있어서,

상기 디플리션 형성층은 III-V족 계열의 질화물 반도체를 포함하는 HEMT의 제조방법.

청구항 36

제 21 항에 있어서,

상기 게이트에서 상기 절연 마스크층 위로 연장된 필드 플레이트(field plate)를 형성하는 단계를 더 포함하는 HEMT의 제조방법.

명세서

기술분야

[0001] 반도체소자 및 그 제조방법, 보다 자세하게는 고전자이동도 트랜지스터(high electron mobility transistor) 및 그 제조방법에 관한 것이다.

배경기술

[0002] 다양한 전력 변환 시스템에는 온/오프(ON/OFF) 스위칭을 통해 전류의 흐름을 제어하는 소자, 즉, 파워소자(power device)가 요구된다. 전력 변환 시스템에서 파워소자의 효율이 전체 시스템의 효율을 좌우할 수 있다.

[0003] 현재 상용화되고 있는 파워소자는 실리콘(Si)을 기반으로 하는 파워 MOSFET(metal-oxide-semiconductor field-effect transistor)이나 IGBT(insulated gate bipolar transistor)가 대부분이다. 그러나 실리콘의 물성 한계와 제조공정의 한계 등으로 인해, 실리콘을 기반으로 하는 파워소자의 효율을 증가시키는 것이 어려워지고 있다. 이러한 한계를 극복하기 위해, III-V족 계열의 화합물 반도체를 파워소자에 적용하여 변환 효율을 높이려는 연구/개발이 진행되고 있다. 이와 관련해서, 화합물 반도체의 이종접합(heterojunction) 구조를 이용하는 고전자이동도 트랜지스터(high electron mobility transistor)(이하, HEMT)가 주목받고 있다.

[0004] HEMT는 전기적 분극(polarization) 특성이 서로 다른 반도체들을 포함한다. HEMT에서 상대적으로 큰 분극률을 갖는 반도체층은 그와 접합된 다른 반도체층에 2차원 전자가스(2-dimensional electron gas)(이하, 2DEG)를 유발할 수 있다. 2DEG는 매우 높은 전자이동도(electron mobility)를 가질 수 있다. 그런데 HEMT를 다양한 전자 장치에서 유용하게 활용하기 위해서는, 그 특성을 적절히 개선/조절할 필요가 있다. 특히, HEMT의 온-전류(ON-current) 레벨 및 문턱전압 등을 개선/조절할 필요가 있다.

발명의 내용

해결하려는 과제

- [0005] 우수한 동작 특성을 갖는 고전자이동도 트랜지스터(HEMT)를 제공한다.
- [0006] 노멀리-오프(Normally-off) 특성을 갖고, 채널 저항이 낮은 고전자이동도 트랜지스터(HEMT)를 제공한다.
- [0007] 온-저항(ON-resistance)이 낮은 고전자이동도 트랜지스터(HEMT)를 제공한다.
- [0008] 문턱전압의 제어가 용이한 고전자이동도 트랜지스터(HEMT)를 제공한다.
- [0009] 상기 고전자이동도 트랜지스터(HEMT)의 제조방법을 제공한다.

과제의 해결 수단

[0010] 본 발명의 일 측면(aspect)에 따르면, 제1 반도체층; 상기 제1 반도체층에 2DEG(2-dimensional electron gas)를 유발하는 제2 반도체층; 상기 제2 반도체층 상에 구비된 것으로, 상기 제2 반도체층의 일부를 노출시키는 개구부를 갖는 절연 마스크층; 상기 개구부에 의해 노출된 상기 제2 반도체층 상에 구비된 것으로, 상기 2DEG에 디플리션 영역(depletion region)을 형성하는 디플리션 형성층; 상기 디플리션 형성층 상에 구비된 게이트; 및 상기 게이트와 이격하여 구비된 소오스 및 드레인;을 포함하는 고전자이동도 트랜지스터(HEMT)가 제공된다.

[0011] 상기 절연 마스크층의 일부는 상기 디플리션 형성층의 일단과 상기 제2 반도체층 사이에 위치할 수 있고, 상기 절연 마스크층의 다른 일부는 상기 디플리션 형성층의 타단과 상기 제2 반도체층 사이에 위치할 수 있다.

- [0012] 상기 제2 반도체층에 리세스 영역이 구비될 수 있다.
- [0013] 상기 개구부는 상기 리세스 영역의 적어도 일부를 노출시킬 수 있다.
- [0014] 상기 디플리션 형성층은 상기 리세스 영역 상에 구비될 수 있다.
- [0015] 상기 절연 마스크층은 상기 리세스 영역을 제외한 상기 제2 반도체층의 상면에 구비될 수 있고, 상기 리세스 영역의 바닥면 및 내측면은 상기 개구부에 의해 노출될 수 있다.
- [0016] 상기 절연 마스크층은 상기 제2 반도체층의 상면 및 상기 리세스 영역의 내측면에 구비될 수 있고, 상기 리세스 영역의 바닥면은 상기 개구부에 의해 노출될 수 있다.
- [0017] 상기 절연 마스크층은 상기 제2 반도체층의 상면, 상기 리세스 영역의 내측면 및 상기 리세스 영역의 바닥면 일부에 구비될 수 있고, 상기 리세스 영역의 바닥면의 나머지 부분은 상기 개구부에 의해 노출될 수 있다. 이때, 상기 개구부에 의해 노출된 상기 리세스 영역의 바닥면 부분은 상기 바닥면의 중앙부 또는 그와 인접한 영역일 수 있다.
- [0018] 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면보다 얇은 깊이로 형성될 수 있다. 이 경우, 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면에 상기 2DEG가 유지되는 깊이로 형성될 수 있고, 상기 리세스 영역에 대응하는 2DEG 영역은 상기 디플리션 형성층에 의해 디플리션될 수 있다. 상기 리세스 영역에서 상기 제2 반도체층의 두께는 약 5nm 이상일 수 있다.
- [0019] 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면까지 형성될 수 있다. 이 경우, 상기 리세스 영역의 바닥면의 폭은 약 0.5 μ m 이하일 수 있다.
- [0020] 상기 제1 반도체층은 GaN계 물질을 포함할 수 있다.
- [0021] 상기 제2 반도체층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 가질 수 있다.
- [0022] 상기 디플리션 형성층은 p형 반도체를 포함할 수 있다.
- [0023] 상기 디플리션 형성층은 p형 불순물로 도핑된 영역을 포함할 수 있다.
- [0024] 상기 디플리션 형성층은 III-V족 계열의 질화물 반도체를 포함할 수 있다.
- [0025] 상기 게이트에서 상기 절연 마스크층 위로 연장된 필드 플레이트(field plate)가 더 구비될 수 있다.
- [0026] 상기 필드 플레이트(field plate)는 상기 게이트와 상기 드레인 사이의 상기 절연 마스크층 위로 연장될 수 있다.
- [0027] 상기 HEMT는 노멀리-오프(normally-off) 소자일 수 있다.
- [0028] 상기 HEMT는, 예컨대, 파워소자(power device)로 사용될 수 있다.
- [0029] 본 발명의 다른 측면에 따르면, 제1 반도체층을 형성하는 단계; 상기 제1 반도체층에 2DEG를 유발하는 제2 반도체층을 형성하는 단계; 상기 제2 반도체층 상에 상기 제2 반도체층의 일부를 노출시키는 개구부를 갖는 절연 마스크층을 형성하는 단계; 상기 개구부에 의해 노출된 상기 제2 반도체층 상에 상기 2DEG에 디플리션 영역(depletion region)을 형성하는 디플리션 형성층을 형성하는 단계; 상기 디플리션 형성층 상에 게이트를 형성하는 단계; 및 상기 게이트와 이격된 소오스 및 드레인을 형성하는 단계;를 포함하는 고전자이동도 트랜지스터(HEMT)의 제조방법이 제공된다.
- [0030] 상기 절연 마스크층의 일부는 상기 디플리션 형성층의 일단과 상기 제2 반도체층 사이에 위치하도록 형성될 수 있고, 상기 절연 마스크층의 다른 일부는 상기 디플리션 형성층의 타단과 상기 제2 반도체층 사이에 위치하도록 형성될 수 있다.
- [0031] 상기 제2 반도체층에 리세스 영역을 형성하는 단계를 더 포함할 수 있다.
- [0032] 상기 리세스 영역의 적어도 일부는 상기 개구부에 의해 노출될 수 있다.
- [0033] 상기 디플리션 형성층은 상기 리세스 영역 상에 형성될 수 있다.
- [0034] 상기 절연 마스크층은 상기 리세스 영역을 제외한 상기 제2 반도체층의 상면에 형성할 수 있고, 상기 리세스 영

역의 바닥면 및 내측면은 상기 개구부에 의해 노출될 수 있다.

- [0035] 상기 절연 마스크층은 상기 제2 반도체층의 상면 및 상기 리세스 영역의 내측면에 형성될 수 있고, 상기 리세스 영역의 바닥면은 상기 개구부에 의해 노출될 수 있다.
- [0036] 상기 절연 마스크층은 상기 제2 반도체층의 상면, 상기 리세스 영역의 내측면 및 상기 리세스 영역의 바닥면 일부에 형성될 수 있고, 상기 리세스 영역의 나머지 부분은 상기 개구부에 의해 노출될 수 있다. 이때, 상기 개구부에 의해 노출된 상기 리세스 영역의 바닥면 부분은 상기 바닥면의 중앙부 또는 그와 인접한 영역일 수 있다.
- [0037] 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면보다 얇은 깊이로 형성될 수 있다. 이 경우, 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면에 상기 2DEG가 유지되는 깊이로 형성될 수 있고, 상기 리세스 영역에 대응하는 2DEG 영역은 상기 디플리션 형성층에 의해 디플리션될 수 있다.
- [0038] 상기 리세스 영역은 상기 제1 및 제2 반도체층 사이의 계면까지 형성될 수 있다.
- [0039] 상기 제1 반도체층은 GaN계 물질을 포함할 수 있다.
- [0040] 상기 제2 반도체층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 가질 수 있다.
- [0041] 상기 디플리션 형성층은 p형 반도체를 포함할 수 있다.
- [0042] 상기 디플리션 형성층은 p형 불순물로 도핑된 영역을 포함할 수 있다.
- [0043] 상기 디플리션 형성층은 III-V족 계열의 질화물 반도체를 포함할 수 있다.
- [0044] 상기 게이트에서 상기 절연 마스크층 위로 연장된 필드 플레이트(field plate)를 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0045] 우수한 동작 특성을 갖는 HEMT를 구현할 수 있다. 채널 저항이 낮고, 노멀리-오프(normally-off) 특성을 갖는 HEMT를 구현할 수 있다. 온-저항(ON-resistance)이 낮고, 문턱전압의 제어가 용이한 HEMT를 구현할 수 있다.

도면의 간단한 설명

- [0046] 도 1은 본 발명의 실시예에 따른 고전자이동도 트랜지스터(HEMT)를 보여주는 단면도이다.
- 도 2는 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 3은 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 4는 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 5는 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 6은 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 7은 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 8은 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 9는 본 발명의 다른 실시예에 따른 HEMT를 보여주는 단면도이다.
- 도 10a 내지 도 10e는 본 발명의 실시예에 따른 HEMT의 제조방법을 보여주는 단면도이다.
- 도 11a 및 도 11b는 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 보여주는 단면도이다.
- 도 12a 및 도 12b는 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 보여주는 단면도이다.
- 도 13a 내지 도 13e는 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 보여주는 단면도이다.
- 도 14는 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 설명하기 위한 단면도이다.
- 도 15는 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 설명하기 위한 단면도이다.
- 도 16a 및 도 16b는 본 발명의 실시예에 따른 HEMT의 동작방법을 설명하기 위한 단면도이다.

도 17a 및 도 17b는 본 발명의 다른 실시예에 따른 HEMT의 동작방법을 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0047] 이하, 본 발명의 실시예에 따른 고전자이동도 트랜지스터(HEMT) 및 그 제조방법을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0048] 도 1은 본 발명의 실시예에 따른 고전자이동도 트랜지스터(HEMT)를 보여주는 단면도이다.
- [0049] 도 1을 참조하면, 기판(SUB10) 상에 채널층(C10)이 구비될 수 있다. 기판(SUB10)은, 예컨대, 사파이어(sapphire), Si, SiC, GaN 등으로 구성될 수 있다. 그러나 기판(SUB10)의 종류는 전술한 바에 한정되지 않고, 다양하게 변화될 수 있다. 채널층(C10)은 반도체층일 수 있다. 채널층(C10)은 III-V족 계열의 화합물 반도체를 포함할 수 있다. 예컨대, 채널층(C10)은 GaN계 물질(ex, GaN)을 포함할 수 있다. 이 경우, 채널층(C10)은 미도핑된(undoped) GaN층일 수 있지만, 경우에 따라서는, 소정의 불순물이 도핑된 GaN층일 수도 있다. 도시하지는 않았지만, 기판(SUB10)과 채널층(C10) 사이에 소정의 버퍼층(buffer layer)을 구비시킬 수 있다. 상기 버퍼층은 기판(SUB10)과 채널층(C10) 사이의 격자상수 및 열팽창계수 차이를 완화시켜 채널층(C10)의 결정성 저하를 방지하기 위해 구비시킬 수 있다. 상기 버퍼층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 가질 수 있다. 구체적인 예로, 상기 버퍼층은 AlN, GaN, AlGaIn, InGaIn, AlInN, AlGaInN 등으로 구성된 다양한 물질 중 적어도 하나를 포함하는 단층 또는 다층 구조를 가질 수 있다. 경우에 따라서는, 기판(SUB10)과 상기 버퍼층 사이에 소정의 씨드층(seed layer)(미도시)을 더 구비시킬 수 있다. 상기 씨드층은 상기 버퍼층의 성장을 위한 베이스층일 수 있다.
- [0050] 채널층(C10) 상에 채널공급층(CS10)이 구비될 수 있다. 채널공급층(CS10)은 채널층(C10)과 다른 반도체층일 수 있다. 채널공급층(CS10)은 채널층(C10)에 2차원 전자가스(2-dimensional electron gas)(이하, 2DEG)를 유발하는 층일 수 있다. 2DEG는 채널층(C10)과 채널공급층(CS10)의 계면 아래의 채널층(C10) 부분에 형성될 수 있다. 채널공급층(CS10)은 채널층(C10)과 분극 특성 및/또는 에너지 밴드갭(bandgap) 및/또는 격자상수가 다른 물질(반도체)을 포함할 수 있다. 채널공급층(CS10)은 채널층(C10)보다 분극률 및/또는 에너지 밴드갭이 큰 물질(반도체)을 포함할 수 있다. 예컨대, 채널공급층(CS10)은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조를 가질 수 있다. 구체적인 예로, 채널공급층(CS10)은 AlGaIn, AlInN, InGaIn, AlN, AlInGaIn 등으로 구성된 다양한 물질 중 적어도 하나를 포함하는 단층 또는 다층 구조를 가질 수 있다. 채널공급층(CS10)은 미도핑된(undoped) 층일 수 있지만, 소정의 불순물이 도핑된 층일 수도 있다. 채널공급층(CS10)의 두께는 수십 nm 이하일 수 있다. 예컨대, 채널공급층(CS10)의 두께는 약 50nm 이하일 수 있다.
- [0051] 채널공급층(CS10)에 리세스 영역(R10)이 형성될 수 있다. 리세스 영역(R10)은 채널공급층(CS10)의 일부를 소정 깊이로 식각하여 형성한 영역일 수 있다. 리세스 영역(R10)은 채널층(C10)과 채널공급층(CS10) 사이의 계면보다 얇은 깊이로 형성될 수 있다. 이 경우, 리세스 영역(R10)은 채널층(C10)과 채널공급층(CS10) 사이의 계면에서 상기 2DEG가 유지되는 깊이로 형성될 수 있다. 예컨대, 리세스 영역(R10)에서 채널공급층(CS10)의 두께는 약 5nm 이상일 수 있다. 리세스 영역(R10)에 대응하는 2DEG 영역은 추후에 설명할 디플리션 형성층(depletion forming layer)(DP10)에 의해 디플리션될 수 있다.
- [0052] 채널공급층(CS10) 상에 절연 마스크층(M10)이 구비될 수 있다. 절연 마스크층(M10)은 실리콘 산화물이나 실리콘 질화물과 같은 절연 물질로 형성될 수 있고, 단층 또는 다층 구조를 가질 수 있다. 리세스 영역(R10)의 적어도 일부는 절연 마스크층(M10)에 의해 커버되지 않을 수 있다. 따라서, 절연 마스크층(M10)은 리세스 영역(R10)의 적어도 일부를 노출하는 '개구부'를 갖는다고 할 수 있다. 예컨대, 리세스 영역(R10)의 바닥면 대부분(상기 바닥면의 양끝을 제외한 나머지 부분)은 절연 마스크층(M10)에 의해 커버되지 않을 수 있다. 리세스 영역(R10)의 내측면 및 채널공급층(CS10)의 상면은 절연 마스크층(M10)에 의해 커버될 수 있다.
- [0053] 절연 마스크층(M10)에 의해 커버되지 않은 리세스 영역(R10)의 바닥면, 즉, 절연 마스크층(M10)의 개구부에 의해 노출된 채널공급층(CS10) 상에 디플리션 형성층(depletion forming layer)(DP1)이 구비될 수 있다. 디플리션 형성층(DP10)은 절연 마스크층(M10)에 의해 커버되지 않은 채널공급층(CS10) 영역, 즉, 리세스 영역(R10)의 바닥면으로부터 에피택시(epitaxy) 공정으로 성장된 층일 수 있다. 절연 마스크층(M10)으로 커버된 채널공급층(CS10)에서는 디플리션 형성층(DP10)의 성장이 방지될 수 있다. 이런 점에서, 절연 마스크층(M10)을 '성장 방지층'이라 할 수 있다. 디플리션 형성층(DP10)을 형성할 때에는 리세스 영역(R10)의 바닥면을 제외하고 리세스 영

역(R10)의 내측면 및 채널공급층(CS10)의 상면 전체가 절연 마스크층(M10)으로 덮여있을 수 있다. 따라서, 디플리션 형성층(DP10)은 리세스 영역(R10)의 바닥면에서만 선택적으로 성장될 수 있다. 절연 마스크층(M10)의 일부는 디플리션 형성층(DP10)의 일단과 채널공급층(CS10) 사이에 위치할 수 있고, 절연 마스크층(M10)의 다른 일부는 디플리션 형성층(DP10)의 타단과 채널공급층(CS10) 사이에 위치할 수 있다.

[0054] 디플리션 형성층(DP10)은 2DEG에 디플리션 영역(depletion region)을 형성하는 역할을 할 수 있다. 디플리션 형성층(DP10)에 의해 그 아래의 채널공급층(CS10) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과, 디플리션 형성층(DP10)에 대응하는 채널층(C10) 부분의 2DEG에 디플리션 영역이 형성될 수 있다. 따라서, 디플리션 형성층(DP10)에 대응하는 2DEG 부분은 끊어지거나, 나머지 영역과 다른 특성(전자 농도 등)을 가질 수 있다. 2DEG가 끊어진 영역을 '단절 영역'이라 할 수 있다. 상기 단절 영역에 의해 본 실시예의 HEMT는 노멀리-오프(normally-off) 특성을 가질 수 있다. 상기 단절 영역은 리세스 영역(R10)에 구비된 디플리션 형성층(DP10)에 의해 형성된 것일 수 있다.

[0055] 디플리션 형성층(DP10)은 p형 반도체층이거나, p형 불순물로 도핑된 층(즉, p-도핑층)일 수 있다. 또한, 디플리션 형성층(DP10)은 III-V족 계열의 질화물 반도체를 포함할 수 있다. 예컨대, 디플리션 형성층(DP10)은 GaN, AlGaN, InN, AlInN, InGaN 및 AlInGaN 중 적어도 어느 하나를 포함할 수 있고, Mg와 같은 p형 불순물로 도핑될 수 있다. 구체적인 예로, 디플리션 형성층(DP10)은 p-GaN층 또는 p-AlGaN층일 수 있다. 이러한 디플리션 형성층(DP10)에 의해 그 아래의 채널공급층(CS10) 부분의 에너지 밴드갭이 높아지면서, 2DEG에 '단절 영역'이 형성될 수 있다.

[0056] 디플리션 형성층(DP10) 상에 게이트전극(G10)이 구비될 수 있다. 게이트전극(G10)은 다양한 금속이나 금속화합물 등으로 형성될 수 있다. 게이트전극(G10)의 폭은 디플리션 형성층(DP10)과 동일하거나 유사할 수 있다. 게이트전극(G10)은 디플리션 형성층(DP10)보다 큰 폭을 가질 수도 있다. 이 경우, 게이트전극(G10)은 디플리션 형성층(DP10)의 상면은 물론이고 측면들도 덮을 수 있다. 절연 마스크층(M10)이 채널공급층(CS10)의 상면을 가리고 있기 때문에, 게이트전극(G10)의 폭을 디플리션 형성층(DP10)보다 크게 하더라도, 게이트전극(G10)과 채널공급층(CS10) 사이의 전기적 단락(short)은 방지될 수 있다.

[0057] 게이트전극(G10) 양측의 채널공급층(CS10) 상에 소오스전극(S10) 및 드레인전극(D10)이 구비될 수 있다. 소오스전극(S10)과 채널공급층(CS10) 사이 및 드레인전극(D10)과 채널공급층(CS10) 사이에는 절연 마스크층(M10)이 존재하지 않을 수 있다. 즉, 절연 마스크층(M10)의 일부를 제거하여 채널공급층(CS10)을 노출시킨 후, 그 위에 소오스전극(S10) 및 드레인전극(D10)을 형성할 수 있다. 소오스전극(S10) 및 드레인전극(D10)은 2DEG와 전기적으로 연결된 것으로 볼 수 있다. 소오스전극(S10)이 드레인전극(D10)보다 게이트전극(G10)에 더 가깝게 위치할 수 있다. 다시 말해, 소오스전극(S10)과 게이트전극(G10) 사이의 거리는 드레인전극(D10)과 게이트전극(G10) 사이의 거리보다 짧을 수 있다. 그러나 이는 예시적인 것이고, 소오스전극(S10) 및 드레인전극(D10)과 게이트전극(G10) 사이의 상대적인 거리는 달라질 수 있다. 소오스전극(S10) 및 드레인전극(D10)은 채널공급층(CS10)과 옴릭 콘택(ohmic contact)할 수 있다. 경우에 따라서는, 소오스전극(S10)과 채널공급층(CS10) 사이 및 드레인전극(D10)과 채널공급층(CS10) 사이에 옴릭 콘택층(미도시)이 더 구비될 수도 있다.

[0058] 소오스전극(S10) 및 드레인전극(D10)은 채널공급층(CS10)의 내부 또는 채널층(C10)의 내부까지 삼입된 구조를 가질 수 있다. 예컨대, 채널공급층(CS10)과 채널층(C10)의 일부를 식각(리세스)한 후, 식각 영역(리세스 영역)에 소오스전극(S10) 및 드레인전극(D10)을 형성할 수 있다. 이때, 상기 식각 영역(리세스 영역)의 깊이는 2DEG의 깊이보다 깊을 수 있다. 따라서, 소오스전극(S10) 및 드레인전극(D10)은 2DEG의 측면과 직접 접촉할 수 있다. 또는, 채널공급층(CS10)의 일부만 소정 깊이로 식각한 후에, 소오스/드레인전극(S10, D10)을 형성할 수도 있다. 즉, 채널공급층(CS10)의 일부를 채널층(C10)과 채널공급층(CS10) 사이의 계면까지 또는 그보다 얇은 깊이로 식각(리세스)한 후에, 식각 영역(리세스 영역)에 소오스/드레인전극(S10, D10)을 형성할 수 있다. 그 밖에도, 소오스전극(S10) 및 드레인전극(D10)의 구성은 다양하게 변화될 수 있다.

[0059] 본 발명의 실시예에서는 채널공급층(CS10) 상에 개구부를 갖는 절연 마스크층(M10)을 구비시킨 후, 상기 개구부에만 선택적으로 디플리션 형성층(DP10)을 성장시킬 수 있다. 따라서, 디플리션 형성층(DP10)의 형성시, 상기 개구부를 제외한 나머지 채널공급층(CS10) 영역은 절연 마스크층(M10)에 의해 보호될 수 있다. 이와 관련해서, 디플리션 형성층(DP10)의 형성시, 채널공급층(CS10)의 손상을 방지할 수 있다. 만약, 절연 마스크층(M10) 없이, 채널공급층(CS10)의 전면 상에 소정의 p형 물질층을 성장시킨 후, 이를 패터닝하여 '디플리션 형성층'을 형성하는 경우, 상기 패터닝 공정에서 채널공급층(CS10)이 손상될 수 있고, 이로 인해 2DEG의 특성이 열화되고, 채널 저항이 증가할 수 있다. 결과적으로는, HEMT의 온(ON) 저항이 높아지는 등 HEMT의 성능이 열화될 수 있다. 그러

나 본 발명의 실시예에서는 위와 같은 문제가 방지될 수 있고, 온(ON) 저항이 낮은 우수한 성능의 HEMT를 구현할 수 있다.

- [0060] 또한, 본 발명의 실시예에서는 절연 마스크층(M10)의 개구부의 폭에 따라 2DEG의 단절 영역의 폭이 조절될 수 있다. 다시 말해, 상기 개구부에서 디플리션 형성층(DP10)과 채널공급층(CS10)이 만나는 영역의 폭에 의해 2DEG의 단절 영역의 폭이 결정될 수 있다. 따라서, 상기 개구부의 폭을 감소시키면, 2DEG의 단절 영역의 폭도 감소할 수 있다. 이는 상기 2DEG의 단절 영역의 폭을 용이하게 감소시킬 수 있다는 것을 의미한다. 상기 단절 영역의 폭이 작을수록, HEMT의 온(ON) 저항이 낮아질 수 있고 스위칭 속도는 빨라질 수 있다. 그러므로, 본 발명의 실시예에서는 상기 단절 영역의 폭을 줄여주는 방법으로, HEMT의 온(ON) 저항을 용이하게 낮출 수 있고, 스위칭 속도를 높일 수 있다.
- [0061] 또한, 본 발명의 실시예에서는 채널공급층(CS10)의 두께 및 채널공급층(CS10)과 디플리션 형성층(DP10)의 도핑 농도에 따라, HEMT의 문턱전압이 용이하게 조절될 수 있다.
- [0062] 본 발명의 다른 실시예에 따르면, 도 1에서 절연 마스크층(M10)에 의해 커버되지 않은 리세스 영역(R10)의 바닥면이 절연 마스크층(M10)에 의해 부분적으로 더 커버될 수 있다. 그 일례가 도 2에 도시되어 있다. 도 2는 도 1에서 절연 마스크층(M10) 및 디플리션 형성층(DP10)의 형태가 변형된 구조이다.
- [0063] 도 2를 참조하면, 절연 마스크층(M11)은 리세스 영역(R10) 바닥면의 양측 가장자리를 덮도록 연장된 구조를 가질 수 있다. 따라서, 절연 마스크층(M11)은 리세스 영역(R10)의 바닥면 일부(양측 가장자리), 리세스 영역(R10)의 내측면 및 채널공급층(CS10)의 상면을 커버하는 구조를 가질 수 있다. 리세스 영역(R10)의 바닥면의 중앙부 또는 그와 인접한 영역이 절연 마스크층(M11)에 의해 커버되지 않고 노출될 수 있다. 리세스 영역(R10)의 바닥면의 양측가장자리를 덮는 절연 마스크층(M11) 부분을 '연장부'라 하면, 상기 연장부는 채널공급층(CS10) 상면에 구비된 절연 마스크층(M11) 부분과 평행한 방향으로 연장될 수 있다. 이러한 연장부에 의해 채널공급층(CS10)의 노출부 사이즈가 감소한다. 즉, 리세스 영역(R10)에서 절연 마스크층(M11)에 의해 커버되지 않고 노출된 영역의 사이즈는 도 1의 그것보다 작다. 다시 말해, 절연 마스크층(M11)의 개구부 폭은 도 1의 절연 마스크층(M10)의 개구부 폭보다 작다. 따라서, 채널공급층(CS10)과 디플리션 형성층(DP11) 사이의 콘택 영역의 폭이 감소하고, 결과적으로는, 디플리션 형성층(DP11)에 의해 2DEG가 끊긴 영역, 즉, 단절 영역의 폭이 감소할 수 있다. 상기 단절 영역의 폭이 작을수록, HEMT의 온(ON) 저항이 낮아질 수 있고 스위칭 속도는 빨라질 수 있으므로, 본 실시예에 따른 HEMT의 온(ON) 저항은 도 1의 그것보다 낮을 수 있고, 스위칭 속도는 도 1의 그것보다 빠를 수 있다. 따라서, 도 2와 같은 구조는 HEMT의 성능 향상에 더욱 유리할 수 있다.
- [0064] 본 발명의 다른 실시예에 따르면, 도 1에서 절연 마스크층(M10)이 리세스 영역(R10)의 내측면을 커버하지 않을 수도 있다. 즉, 절연 마스크층(M10)은 리세스 영역(R10)의 바닥면 및 내측면은 커버하지 않고, 리세스 영역(R10)을 제외한 채널공급층(CS10)의 상면에만 구비될 수 있다. 그 일례가 도 3에 도시되어 있다. 도 3은 도 1에서 절연 마스크층(M10) 및 디플리션 형성층(DP10)의 형태가 변형된 구조이다.
- [0065] 도 3을 참조하면, 절연 마스크층(M12)은 리세스 영역(R10)을 제외한 채널공급층(CS10)의 상면에 구비되어 있다. 단, 소오스전극(S10)과 채널공급층(CS10) 사이 및 드레인전극(D10)과 채널공급층(CS10) 사이에는 절연 마스크층(M12)이 구비되지 않을 수 있다. 이 경우, 디플리션 형성층(DP12)은 리세스 영역(R10)의 바닥면 및 내측면으로부터 성장될 수 있다. 절연 마스크층(M12)의 형태 및 디플리션 형성층(DP12)의 형태를 제외한 나머지 구성은 도 1의 그것과 동일하거나 유사할 수 있다.
- [0066] 도 1 내지 도 3의 구조에서는 리세스 영역(R10)이 채널층(C10)과 채널공급층(CS10) 사이의 계면보다 얇은 깊이로 형성되지만, 리세스 영역(R10)의 깊이는 달라질 수 있다. 예컨대, 리세스 영역(R10)은 채널층(C10)과 채널공급층(CS10) 사이의 계면까지 형성될 수 있다. 그 예들이 도 4 내지 도 6에 도시되어 있다. 도 4 내지 도 6은 각각 도 1 내지 도 3의 구조에서 리세스 영역(R10)이 상기 계면, 즉, 채널층(C10)과 채널공급층(CS10) 사이의 계면까지 형성된 경우라 할 수 있다.
- [0067] 도 4를 참조하면, 리세스 영역(R20)은 채널층(C20)과 채널공급층(CS20) 사이의 계면까지 형성되고, 절연 마스크층(M20)은 리세스 영역(R20)의 내측면 및 채널공급층(CS20)의 상면을 커버하고 있다. 디플리션 형성층(DP20)은 리세스 영역(R20)의 바닥면으로부터 성장된 층일 수 있다. 리세스 영역(R20)에 대응하는 2DEG에 단절 영역이 존재할 수 있다.
- [0068] 도 5를 참조하면, 리세스 영역(R20)은 채널층(C20)과 채널공급층(CS20) 사이의 계면까지 형성되고, 절연 마스크층(M21)은 리세스 영역(R20)의 바닥면 일부(양측 가장자리), 리세스 영역(R20)의 내측면 및 채널공급층(CS20)의

상면을 커버하고 있다. 리세스 영역(R20)의 바닥면의 중앙부 또는 그와 인접한 영역이 절연 마스크층(M21)에 의해 커버되지 않을 수 있다. 이러한 절연 마스크층(M21)의 형태는 도 2의 절연 마스크층(M11)과 유사하다. 디플리션 형성층(DP21)은 리세스 영역(R20) 바닥면의 노출부(채널층의 노출부)로부터 성장된 층일 수 있다. 리세스 영역(R20)에 대응하는 2DEG에 단절 영역이 존재할 수 있다.

[0069] 도 6을 참조하면, 리세스 영역(R20)은 채널층(C20)과 채널공급층(CS20) 사이의 계면까지 형성되고, 절연 마스크층(M22)은 리세스 영역(R20)을 제외한 채널공급층(CS20)의 상면을 커버하고 있다. 이러한 절연 마스크층(M22)의 형태는 도 3의 절연 마스크층(M12)과 유사하다. 디플리션 형성층(DP22)은 리세스 영역(R20)의 바닥면 및 내측면으로부터 성장될 수 있다.

[0070] 도 4 내지 도 6에서 미설명된 참조부호 SUB20, G20, S20, D20은 각각 기판, 게이트전극, 소오스전극 및 드레인전극을 나타낸다. 이들은 도 1에서 설명한 기판(SUB10), 게이트전극(G20), 소오스전극(S20) 및 드레인전극(D20)에 각각 대응되므로, 이들에 대한 반복 설명은 배제한다.

[0071] 도 4 내지 도 6의 실시예에서는 리세스 영역(R20)이 채널층(C20)과 채널공급층(CS20) 사이의 계면까지 형성되므로, 리세스 영역(R20)에 의해 2DEG에 단절 영역이 형성될 수 있다. 즉, 리세스 영역(R20)에서는 채널층(C20)과 채널공급층(CS20)의 계면이 존재하지 않기 때문에, 리세스 영역(R20)에서는 2DEG가 형성되지 않을 수 있다. 디플리션 형성층(DP20, DP21, DP22)은 상기 단절 영역의 폭을 넓히는 역할을 할 수 있다. 특히, 도 4 및 도 6의 실시예에서 디플리션 형성층(DP20, DP22)에 의해 상기 단절 영역의 폭이 넓어질 수 있다. 도 5의 실시예에서는 절연 마스크층(M21)의 개구부의 폭이 좁기 때문에, 디플리션 형성층(DP21)에 의해 2DEG의 단절 영역의 폭이 넓어지는 효과는 작을 수 있다. 그러므로, 도 5의 실시예에서 상기 단절 영역의 폭은 도 4 및 도 6의 그것보다 작을 수 있다.

[0072] 도 4 내지 도 6의 실시예에서는 2DEG의 단절 영역의 폭이 리세스 영역(R20)의 하단부 폭에 의해 좌우될 수 있으므로, HEMT의 온(ON) 저항을 낮추기 위해서는 리세스 영역(R20)의 폭을 줄이는 것이 바람직할 수 있다. 이와 관련하여, 리세스 영역(R20)의 폭(하단부 폭)을 0.5 μ m 이하로 줄이는 것이 바람직할 수 있다. 리세스 영역(R20)의 폭이 작을수록, 2DEG의 단절 영역의 폭이 감소할 수 있고, HEMT의 온(ON) 저항은 낮아지고 스위칭 속도는 빨라질 수 있다.

[0073] 부가해서, 도 4 및 도 5의 실시예에서는 채널층(C20)의 노출부에서만 디플리션 형성층(DP20, DP21)을 성장시키기 때문에, 디플리션 형성층(DP20, DP21)의 결정성 향상에 유리할 수 있다. 특히, 디플리션 형성층(DP20, DP21)을 채널층(C20)과 동일한 계열의 물질로 형성하는 경우, 디플리션 형성층(DP20, DP21)의 결정성 향상에 유리할 수 있다. 예컨대, 채널층(C20)이 GaN층인 경우, 디플리션 형성층(DP20, DP21)을 p-GaN층으로 형성하면, 우수한 결정성을 갖는 디플리션 형성층(DP20, DP21)을 얻을 수 있다.

[0074] 도 1 내지 도 6에서는 리세스 영역(R10, R20)을 형성하고, 리세스 영역(R10, R20)의 적어도 일부를 노출시키는 절연 마스크층(M10~M12, M20~M22)을 형성한 다음, 노출된 리세스 영역(R10, R20) 부분에 디플리션 형성층(DP10~DP12, DP20~DP22)을 구비시킨 경우에 대해서 도시하고 설명하였지만, 본 발명의 다른 실시예에 따르면, 리세스 영역(R10, R20)을 형성하지 않을 수도 있다. 그 일례가 도 7에 도시되어 있다.

[0075] 도 7을 참조하면, 기판(SUB30) 상에 채널층(C30)이 구비될 수 있고, 채널층(C30) 상에 채널층(C30)에 2DEG를 유발하는 채널공급층(CS30)이 구비될 수 있다. 채널공급층(CS30) 상에 채널공급층(CS30)의 일부를 노출시키는 개구부를 갖는 절연 마스크층(M30)이 구비될 수 있다. 절연 마스크층(M30)의 상기 개구부에 의해 노출된 채널공급층(CS30) 부분에 디플리션 형성층(DP30)이 구비될 수 있다. 디플리션 형성층(DP30)을 형성할 때에는, 디플리션 형성층(DP30)이 형성되는 영역(즉, 상기 개구부)을 제외한 나머지 채널공급층(CS30) 영역(상면)이 절연 마스크층(M30)에 의해 가려져 있을 수 있다. 따라서, 디플리션 형성층(DP30)은 상기 개구부에서만 선택적으로 성장될 수 있다. 절연 마스크층(M30)의 일부는 디플리션 형성층(DP30)의 일단과 채널공급층(CS30) 사이에 위치할 수 있고, 절연 마스크층(M30)의 다른 일부는 디플리션 형성층(DP30)의 타단과 채널공급층(CS30) 사이에 위치할 수 있다. 다시 말해, 디플리션 형성층(DP30)의 일단은 절연 마스크층(M30) 위로 연장된 구조를 가질 수 있고, 디플리션 형성층(DP30)의 타단도 절연 마스크층(M30) 위로 연장된 구조를 가질 수 있다. 디플리션 형성층(DP30) 상에 게이트전극(G30)이 구비될 수 있고, 게이트전극(G30) 양측에 소오스전극(S30) 및 드레인전극(D30)이 구비될 수 있다. 절연 마스크층(M30)의 일부를 제거하여 채널공급층(CS30)을 노출시킨 후, 노출된 채널공급층(CS30) 상에 소오스/드레인전극(S30, D30)을 구비시킬 수 있다.

[0076] 도 7의 실시예에서는 디플리션 형성층(DP30)에 의해 2DEG에 단절 영역이 형성될 수 있다. 이를 위해, 채널공급

층(CS30)의 두께는 비교적 얇은 것이 바람직할 수 있다. 이와 관련해서, 채널공급층(CS30)의 두께는 약 15nm 이하, 예컨대, 10~15nm 정도일 수 있다. 이와 같이, 채널공급층(CS30)이 비교적 얇은 두께를 가질 때, 리세스 영역을 형성하지 않고도, 디플리션 형성층(DP30)을 이용해서 그에 대응하는 2DEG를 공핍시킬 수 있다. 즉, 디플리션 형성층(DP30)에 의해 2DEG에 단절 영역이 형성될 수 있다.

[0077] 도 1 내지 도 7의 구조에서 게이트전극(G10, G20, G30)으로부터 연장된 필드 플레이트(field plate)가 더 구비될 수 있다. 그 예들이 도 8 및 도 9에 도시되어 있다. 도 8 및 도 9는 각각 도 1 및 도 4의 HEMT에 필드 플레이트(F10, F20)가 추가된 구조이다.

[0078] 도 8 및 도 9를 참조하면, 게이트전극(G10, G20)에서 그 일측으로 연장된 필드 플레이트(F10, F20)가 더 구비될 수 있다. 필드 플레이트(F10, F20)는 게이트전극(G10, G20)과 드레인전극(D10, D20) 사이의 절연 마스크층(M10, M20) 위로 연장된 구조를 가질 수 있다. 필드 플레이트(F10, F20)는 게이트전극(G10, G20)과 드레인전극(D10, D20) 사이에서 전계(electric field)를 분산하는 역할을 할 수 있다. 보다 구체적으로 설명하면, 도 1 및 도 4의 구조에서는 게이트전극(G10, G20)의 드레인측 에지(edge)에 대응하는 채널층(C10, C20) 부분에 전계 및 전압이 집중될 수 있다. 그러나 도 8 및 도 9에서와 같이, 필드 플레이트(F10, F20)를 구비시키면, 상기 전계 및 전압의 집중 현상이 완화될 수 있고, 결과적으로는, 절연과피(breakdown) 문제가 억제되고, 내전압 특성이 향상될 수 있다.

[0079] 도 10a 내지 도 10e는 본 발명의 실시예에 따른 HEMT의 제조방법을 보여주는 단면도이다.

[0080] 도 10a를 참조하면, 기판(100) 상에 채널층(200)을 형성할 수 있다. 기판(100)은, 예컨대, 사파이어(sapphire), Si, SiC, GaN 등으로 구성된 기판일 수 있다. 그러나 기판(100)의 종류는 전술한 바에 한정되지 않고, 다양하게 변화될 수 있다. 채널층(200)은 반도체층일 수 있다. 채널층(200)은 III-V족 계열의 화합물 반도체를 포함할 수 있다. 예컨대, 채널층(200)은 GaN계 물질(ex, GaN)을 포함할 수 있다. 이 경우, 채널층(200)은 미도핑된(undoped) GaN층일 수 있지만, 경우에 따라서는, 소정의 불순물이 도핑된 GaN층일 수도 있다. 도시하지는 않았지만, 기판(100)과 채널층(200) 사이에 소정의 버퍼층을 더 형성할 수 있다. 상기 버퍼층은 기판(100)과 채널층(200) 사이의 격자상수 및 열팽창계수 차이를 완화시켜 채널층(100)의 결정성 저하를 방지하기 위해 형성할 수 있다. 상기 버퍼층은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조로 형성할 수 있다. 구체적인 예로, 상기 버퍼층은 AlN, GaN, AlGaIn, InGaIn, AlInN, AlGaInN 등으로 구성된 다양한 물질 중 적어도 하나를 포함하는 단층 또는 다층 구조로 형성할 수 있다. 경우에 따라서는, 기판(100)과 상기 버퍼층 사이에 소정의 씨드층(seed layer)(미도시)을 더 형성할 수 있다. 상기 씨드층은 상기 버퍼층의 성장을 위한 베이스층일 수 있다.

[0081] 채널층(200) 상에 채널공급층(300)을 형성할 수 있다. 채널공급층(300)은 채널층(200)과 다른 반도체로 형성할 수 있다. 채널공급층(300)은 채널층(200)에 2DEG를 유발하는 층일 수 있다. 2DEG는 채널층(200)과 채널공급층(300)의 계면 아래의 채널층(200) 부분에 형성될 수 있다. 채널공급층(300)은 채널층(200)과 분극 특성 및/또는 에너지 밴드갭(bandgap) 및/또는 격자상수가 다른 물질(반도체)로 형성할 수 있다. 채널공급층(300)은 채널층(200)보다 분극률 및/또는 에너지 밴드갭이 큰 물질(반도체)로 형성할 수 있다. 예컨대, 채널공급층(300)은 Al, Ga, In 및 B 중 적어도 하나를 포함하는 질화물들 중에서 선택된 하나 이상의 물질을 포함하는 단층 또는 다층 구조로 형성할 수 있다. 구체적인 예로, 채널공급층(300)은 AlGaIn, AlInN, InGaIn, AlN, AlInGaIn 등으로 구성된 다양한 물질 중 적어도 하나를 포함하는 단층 또는 다층 구조로 형성할 수 있다. 채널공급층(300)은 미도핑된(undoped) 층이거나, 소정의 불순물이 도핑된 층일 수 있다. 채널공급층(300)은 수십 nm 이하의 두께, 예컨대, 약 50nm 이하의 두께로 형성할 수 있다.

[0082] 도 10b를 참조하면, 채널공급층(300)의 일부를 식각하여 리세스 영역(R1)을 형성할 수 있다. 리세스 영역(R1)은 채널층(200)과 채널공급층(300) 사이의 계면보다 얇은 깊이로 형성할 수 있다. 이때, 리세스 영역(R1)은 그에 대응하는 2DEG가 유지될 수 있는 깊이로 형성할 수 있다. 만약, 리세스 영역(R1)을 너무 깊은 깊이로 형성하면, 그로 인해 리세스 영역(R1)에 대응하는 2DEG가 없어질 수 있다. 본 실시예에서는 리세스 영역(R1)에 대응하는 2DEG가 없어지지 않을 정도의 깊이로 리세스 영역(R1)을 형성할 수 있다. 예컨대, 리세스 영역(R1)에서 채널공급층(300)이 약 5nm 이상으로 잔류되도록 하면, 리세스 영역(R1)에서 2DEG가 유지될 수 있다.

[0083] 도 10c를 참조하면, 채널공급층(300) 상에 리세스 영역(R1)의 적어도 일부를 노출시키는 개구부를 갖는 절연 마스크층(400)을 형성할 수 있다. 절연 마스크층(400)은 실리콘 산화물이나 실리콘 질화물과 같은 절연 물질로 형성할 수 있고, 단층 또는 다층 구조로 형성할 수 있다. 절연 마스크층(400)은 리세스 영역(R1)의 내측면 및 채널공급층(300)의 상면을 덮을 수 있다. 리세스 영역(R1)의 바닥면 대부분(상기 바닥면의 양끝을 제외한 나머지

부분)은 절연 마스크층(400)에 의해 커버되지 않을 수 있다. 리세스 영역(R1)을 포함한 채널공급층(300)의 전면 상에 소정의 절연 물질층을 형성한 후, 리세스 영역(R1)의 바닥면에 형성된 상기 절연 물질층 부분을 제거함으로써, 절연 마스크층(400)을 형성할 수 있다. 그러나 이는 절연 마스크층(400)을 형성하는 방법의 일례이고, 그 밖에도 다양한 방법으로 도 10c에 도시된 바와 같은 절연 마스크층(400)을 형성할 수 있다.

[0084] 도 10d를 참조하면, 절연 마스크층(400)에 의해 커버되지 않은 리세스 영역(R1)의 바닥면 상에 선택적으로 디플리션 형성층(500)을 형성할 수 있다. 디플리션 형성층(500)은 에피택시(epitaxy) 공정으로 형성할 수 있다. 디플리션 형성층(500)에 의해 그 아래의 채널공급층(300) 부분의 에너지 밴드갭(energy bandgap)이 높아질 수 있고, 그 결과, 디플리션 형성층(500)에 대응하는 채널층(300) 부분의 2DEG에 디플리션 영역이 형성될 수 있다. 따라서, 디플리션 형성층(500)에 대응하는 2DEG 부분은 끊어질 수 있다. 또는, 디플리션 형성층(500)에 대응하는 2DEG 부분의 특성(전자 농도 등)이 나머지 2DEG 영역과 달라질 수 있다. 본 실시예에서는 디플리션 형성층(500)에 의해 2DEG에 단절 영역이 형성된 경우가 도시되어 있다. 디플리션 형성층(500)은 p형 반도체층으로 형성하거나, p형 불순물로 도핑된 층(즉, p-도핑층)으로 형성할 수 있다. 또한, 디플리션 형성층(500)은 III-V족 계열의 질화물 반도체를 포함하도록 형성할 수 있다. 예컨대, 디플리션 형성층(500)은 GaN, AlGaN, InN, AlInN, InGaN 및 AlInGaN 중 적어도 어느 하나를 포함하도록 형성할 수 있고, Mg와 같은 p형 불순물을 포함할 수 있다. 구체적인 예로, 디플리션 형성층(500)은 p-GaN층 또는 p-AlGaN층으로 형성할 수 있다.

[0085] 도 10e를 참조하면, 디플리션 형성층(500) 상에 게이트전극(600)을 형성할 수 있다. 게이트전극(600)은 다양한 금속이나 금속화합물 등으로 형성할 수 있다. 게이트전극(600) 양측에 소오스전극(700A) 및 드레인전극(700B)을 형성할 수 있다. 소오스전극(700A) 및 드레인전극(700B)은 절연 마스크층(400)의 일부를 제거하여 채널공급층(300)을 노출시킨 후, 노출된 채널공급층(300) 부분에 형성할 수 있다. 소오스전극(700A)이 드레인전극(700B)보다 게이트전극(600)에 더 가깝게 위치할 수 있다. 다시 말해, 소오스전극(700A)과 게이트전극(600) 사이의 거리는 드레인전극(700B)과 게이트전극(600) 사이의 거리보다 짧을 수 있다. 그러나 이는 예시적인 것이고, 소오스전극(700A) 및 드레인전극(700B)과 게이트전극(600) 사이의 상대적인 거리는 달라질 수 있다. 소오스전극(700A) 및 드레인전극(700B)은 채널공급층(300)과 오믹 콘택(ohmic contact)할 수 있다. 경우에 따라서는, 소오스전극(700A)과 채널공급층(300) 사이 및 드레인전극(700B)과 채널공급층(300) 사이에 오믹 콘택층(미도시)을 더 형성할 수도 있다.

[0086] 소오스전극(700A) 및 드레인전극(700B)은 채널공급층(300)의 내부 또는 채널층(200)의 내부까지 삽입된 구조로 형성할 수도 있다. 예컨대, 채널공급층(300)과 채널층(200)의 일부를 식각(리세스)한 후, 식각 영역(리세스 영역)에 소오스전극(700A) 및 드레인전극(700B)을 형성할 수 있다. 이때, 상기 식각 영역(리세스 영역)의 깊이는 2DEG의 깊이보다 깊을 수 있다. 따라서, 소오스전극(700A) 및 드레인전극(700B)은 2DEG의 측면과 직접 접촉할 수 있다. 또는, 채널공급층(300)의 일부만 소정 깊이로 식각한 후에, 소오스/드레인전극(700A, 700B)을 형성할 수도 있다. 즉, 채널공급층(300)의 일부를 채널층(200)과 채널공급층(300) 사이의 계면까지 또는 그보다 얇은 깊이로 식각(리세스)한 후에, 식각 영역(리세스 영역)에 소오스/드레인전극(700A, 700B)을 형성할 수 있다. 그 밖에도, 소오스전극(700A) 및 드레인전극(700B)의 구성은 다양하게 변화될 수 있다.

[0087] 본 발명의 실시예에서는 채널공급층(300) 상에 개구부를 갖는 절연 마스크층(400)을 구비시킨 후, 상기 개구부에만 선택적으로 디플리션 형성층(500)을 성장시킬 수 있다. 따라서, 디플리션 형성층(500)의 형성시, 상기 개구부를 제외한 나머지 채널공급층(300) 영역은 절연 마스크층(400)에 의해 보호될 수 있다. 이와 관련해서, 디플리션 형성층(500)의 형성시, 채널공급층(300)의 손상을 방지할 수 있다. 만약, 절연 마스크층(400) 없이, 채널공급층(300)의 전면 상에 p형 물질층을 성장시킨 후, 이를 패터닝하여 '디플리션 형성층'을 형성하는 경우, 상기 패터닝 공정에서 채널공급층(300)이 손상될 수 있고, 이로 인해 2DEG의 특성이 열화되고, 채널 저항이 증가할 수 있다. 결과적으로는, HEMT의 온(ON) 저항이 높아지는 등 HEMT의 성능이 열화될 수 있다. 그러나 본 발명의 실시예에서는 위와 같은 문제가 방지될 수 있고, 온(ON) 저항이 낮은 우수한 성능의 HEMT를 구현할 수 있다.

[0088] 또한, 본 발명의 실시예에서는 절연 마스크층(400)의 개구부의 폭에 따라 2DEG의 단절 영역의 폭이 조절될 수 있다. 다시 말해, 상기 개구부에서 디플리션 형성층(500)과 채널공급층(300)이 만나는 영역의 폭에 의해 2DEG의 단절 영역의 폭이 결정될 수 있다. 따라서, 상기 개구부의 폭을 감소시키면, 2DEG의 단절 영역의 폭도 감소할 수 있다. 이는 상기 2DEG의 단절 영역의 폭을 용이하게 감소시킬 수 있다는 것을 의미한다. 상기 단절 영역의 폭이 작을수록, HEMT의 온(ON) 저항이 낮아질 수 있고 스위칭 속도는 빨라질 수 있다. 따라서, 본 발명의 실시예에서는 상기 단절 영역의 폭을 줄여주는 방법으로, HEMT의 온(ON) 저항을 용이하게 낮출 수 있고, 스위칭 속

도를 높일 수 있다.

- [0089] 또한, 본 발명의 실시예에서는 채널공급층(300)의 두께 및 채널공급층(300)과 디플리션 형성층(500)의 도핑 농도를 조절함으로써, HEMT의 문턱전압을 용이하게 조절할 수 있다.
- [0090] 본 발명의 다른 실시예에 따르면, 도 10c의 단계에서 절연 마스크층(400)의 형태는 변형될 수 있다. 예컨대, 절연 마스크층(400)은 리세스 영역(R1)의 바닥면을 부분적으로 더 커버하도록 변형될 수 있다. 그 예가 도 11a에 도시되어 있다. 이하에서는, 도 11a 및 도 11b를 참조하여, 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 설명하도록 한다.
- [0091] 도 11a를 참조하면, 절연 마스크층(401)은 리세스 영역(R1) 바닥면의 양측 가장자리를 덮도록 연장된 구조로 형성할 수 있다. 따라서, 절연 마스크층(401)은 리세스 영역(R1)의 바닥면 일부(양측 가장자리), 리세스 영역(R1)의 내측면 및 채널공급층(300)의 상면을 커버하는 구조를 가질 수 있다. 절연 마스크층(401)에 의해 커버되지 않고 노출된 영역은 리세스 영역(R1)의 바닥면의 중앙부 또는 그와 인접한 영역일 수 있다. 리세스 영역(R1)에서 절연 마스크층(401)에 의해 커버되지 않고 노출된 영역의 사이즈는 도 10c의 그것보다 작다. 다시 말해, 절연 마스크층(401)의 개구부 폭은 도 10c의 절연 마스크층(400)의 개구부 폭보다 작다.
- [0092] 도 11b를 참조하면, 절연 마스크층(401)에 의해 커버되지 않은 리세스 영역(R1) 바닥면의 일부(중앙부 또는 그와 인접한 영역)로부터 디플리션 형성층(501)을 성장시킬 수 있다. 다음, 디플리션 형성층(501) 상에 게이트전극(600)을 형성할 수 있고, 게이트전극(600) 양측에 소오스전극(700A) 및 드레인전극(700B)을 형성할 수 있다.
- [0093] 도 11b에서 디플리션 형성층(501)과 채널공급층(300) 사이의 콘택 영역의 폭은 도 10e의 그것보다 작다. 따라서, 디플리션 형성층(501)에 의해 2DEG가 끊긴 영역, 즉, 단절 영역의 폭 또한 도 10e의 그것보다 작다. 상기 단절 영역의 폭이 작을수록, HEMT의 온(ON) 저항이 낮아질 수 있고 스위칭 속도는 빨라질 수 있으므로, 본 실시예에 따른 HEMT의 온(ON) 저항은 도 10e의 그것보다 낮을 수 있고, 스위칭 속도는 도 10e 보다 빠를 수 있다.
- [0094] 본 발명의 다른 실시예에 따르면, 도 10c의 단계에서 절연 마스크층(400)은 리세스 영역(R1)의 내측면을 커버하지 않는 형태로 형성될 수도 있다. 즉, 절연 마스크층(400)은 리세스 영역(R1)의 바닥면 및 내측면을 커버하지 않고, 리세스 영역(R1)을 제외한 채널공급층(300)의 상면에만 형성될 수 있다. 그 예가 도 12a에 도시되어 있다. 이하에서는, 도 12a 및 도 12b를 참조하여, 본 발명의 다른 실시예에 따른 HEMT의 제조방법을 설명하도록 한다.
- [0095] 도 12a를 참조하면, 절연 마스크층(402)은 리세스 영역(R1)을 제외한 채널공급층(300)의 상면에 형성될 수 있다. 리세스 영역(R1)의 바닥면 및 내측면은 절연 마스크층(402)에 의해 커버되지 않고 노출될 수 있다.
- [0096] 도 12b를 참조하면, 리세스 영역(R1)의 바닥면 및 내측면으로부터 디플리션 형성층(502)을 성장시킬 수 있다. 디플리션 형성층(502)의 양단은 절연 마스크층(402) 위로 연장될 수 있다. 따라서, 절연 마스크층(402)의 일부는 디플리션 형성층(502)의 일단과 채널공급층(300) 사이에 위치할 수 있고, 절연 마스크층(402)의 다른 일부는 디플리션 형성층(502)의 타단과 채널공급층(300) 사이에 위치할 수 있다. 다음, 디플리션 형성층(502) 상에 게이트전극(600)을 형성할 수 있고, 게이트전극(600) 양측에 소오스전극(700A) 및 드레인전극(700B)을 형성할 수 있다.
- [0097] 도 10a 내지 도 10e, 도 11a 및 도 11b 및 도 12a 및 도 12b의 제조방법에서는 리세스 영역(R1)을 채널층(200)과 채널공급층(300) 사이의 계면보다 얇은 깊이로 형성하였지만, 이 깊이는 달라질 수 있다. 예컨대, 리세스 영역(R1)은 채널층(200)과 채널공급층(300) 사이의 계면까지 형성할 수 있다. 이러한 실시예에 대해서는 도 13a 내지 도 13e를 참조하여 설명한다.
- [0098] 도 13a를 참조하면, 기판(110) 상에 채널층(210) 및 채널공급층(310)을 순차로 형성할 수 있다. 기판(110), 채널층(210) 및 채널공급층(310)은 각각 도 10a의 기판(100), 채널층(200) 및 채널공급층(300)과 동일하거나 유사할 수 있다. 도시하지는 않았지만, 기판(110)과 채널층(210) 사이에 소정의 버퍼층을 더 형성할 수 있다. 상기 버퍼층은 도 10a를 참조하여 설명한 바와 동일하거나 유사할 수 있다.
- [0099] 도 13b를 참조하면, 채널공급층(310)의 일부를 식각하여 리세스 영역(R2)을 형성할 수 있다. 리세스 영역(R2)은 채널층(210)과 채널공급층(310) 사이의 계면까지 형성할 수 있다. 이 경우, 리세스 영역(R2)에는 채널공급층(310)이 존재하지 않기 때문에, 리세스 영역(R2)에 대응하는 부분에는 2DEG가 형성되지 않을 수 있다. 즉, 리세스 영역(R2)에 대응하는 채널층(210) 부분에서 2DEG의 단절 영역이 형성될 수 있다.

- [0100] 도 13c를 참조하면, 채널공급층(310) 상에 리세스 영역(R2)의 적어도 일부를 노출시키는 개구부를 갖는 절연 마스크층(410)을 형성할 수 있다. 절연 마스크층(410)은 리세스 영역(R2)의 내측면 및 채널공급층(310)의 상면을 덮을 수 있다. 리세스 영역(R2)의 바닥면 대부분(상기 바닥면의 양끝을 제외한 나머지 부분)은 절연 마스크층(410)에 의해 커버되지 않을 수 있다.
- [0101] 도 13d를 참조하면, 리세스 영역(R2)의 바닥면 상에 디플리션 형성층(510)을 형성할 수 있다. 디플리션 형성층(510)에 의해 2DEG가 끊긴 영역(즉, 단절 영역)의 폭이 넓어질 수 있다. 즉, 디플리션 형성층(510)에 의해 그 주변의 채널공급층(310) 부분의 에너지 밴드갭이 높아지면서, 2DEG가 끊긴 영역(즉, 단절 영역)의 폭이 증가할 수 있다. 디플리션 형성층(510)은 도 10d의 디플리션 형성층(500)과 유사한 물질 및 방법으로 형성할 수 있다. 즉, 디플리션 형성층(510)은 p형 반도체층으로 형성하거나, p형 불순물로 도핑된 층(즉, p-도핑층)으로 형성할 수 있다. 단, 도 10d에서는 디플리션 형성층(500)을 채널공급층(300)과 동일한 계열의 물질로 형성하는 것이 바람직할 수 있고, 도 13d에서는 디플리션 형성층(510)을 채널층(210)과 동일한 계열의 물질로 형성하는 것이 바람직할 수 있다.
- [0102] 도 13e를 참조하면, 디플리션 형성층(510) 상에 게이트전극(610)을 형성할 수 있다. 게이트전극(610) 양측에 소오스전극(710A) 및 드레인전극(710B)을 형성할 수 있다. 소오스전극(710A) 및 드레인전극(710B)은 채널공급층(310)에 콘택되도록 형성할 수 있다. 게이트전극(610), 소오스전극(710A) 및 드레인전극(710B)의 구체적인 물질, 형성방법 및 그 변형 예들은 도 10e를 참조하여 설명한 바와 유사할 수 있다.
- [0103] 도 13a 내지 도 13e의 실시예에서는 2DEG의 단절 영역의 폭이 리세스 영역(R2)의 하단부 폭에 의해 좌우될 수 있으므로, HEMT의 온(ON) 저항을 낮추기 위해서는 리세스 영역(R2)의 폭을 줄이는 것이 바람직할 수 있다. 이와 관련해서, 리세스 영역(R2)의 폭(하단부 폭)을 0.5 μ m 이하로 줄이는 것이 바람직할 수 있다. 리세스 영역(R2)의 폭이 작을수록, 2DEG의 단절 영역의 폭이 감소할 수 있고, 결과적으로는, HEMT의 온(ON) 저항이 낮아지고 스위칭 속도가 빨라질 수 있다.
- [0104] 본 발명의 다른 실시예에 따르면, 도 13c에서 절연 마스크층(410)의 형태는 다양하게 변화될 수 있다. 예컨대, 도 13c에서 절연 마스크층(410)은 도 11a의 절연 마스크층(401) 또는 도 12a의 절연 마스크층(402)과 유사한 형태로 변형될 수 있다. 이러한 변화를 통해서, 결과적으로는 도 5 및 도 6과 같은 HEMT를 제조할 수 있다.
- [0105] 도 10a 내지 도 10e, 도 11a 및 도 11b, 도 12a 및 도 12b 및 도 13a 내지 도 13e의 제조방법에서 게이트전극(600)을 형성할 때, 게이트전극(600)으로부터 연장된 필드 플레이트(field plate)를 더 형성할 수 있다. 그 일례가 도 14 및 도 15에 도시되어 있다.
- [0106] 도 14 및 도 15를 참조하면, 게이트전극(600, 610)에서 그 일측으로 연장된 필드 플레이트(600', 610')를 더 형성할 수 있다. 필드 플레이트(600', 610')는 게이트전극(600, 610)과 드레인전극(700B, 710B) 사이의 절연 마스크층(400, 410) 위로 연장된 구조를 가질 수 있다. 필드 플레이트(600', 610')의 형성시, 절연 마스크층(400, 410)이 채널공급층(300, 310)의 상면을 가려주고 있기 때문에, 추가적인 패시베이션(passivation) 공정이 요구되지 않는다. 즉, 추가적인 패시베이션(passivation) 공정 없이, 필드 플레이트(600', 610')를 용이하게 형성할 수 있다. 필드 플레이트(600', 610')의 역할/기능은 도 8 및 도 9를 참조하여 설명한 바와 동일할 수 있으므로, 이에 대한 반복 설명은 배제한다.
- [0107] 또한, 이상에서 설명한 제조방법들에서는 채널공급층(300, 310)에 리세스 영역(R1, R2)을 형성한 후, 리세스 영역(R1, R2)의 적어도 일부를 노출시키는 절연 마스크층(400~402, 410)을 형성한 다음, 디플리션 형성층(500~502, 510)을 형성하였지만, 본 발명의 다른 실시예에 따르면, 채널공급층(300, 310)을 비교적 얇은 두께(예컨대, 약 15nm 이하)로 형성한 후, 이를 리세스하지 않고 후속 공정을 수행할 수 있다. 이 경우, 도 7에 도시된 바와 같은 HEMT 구조가 얻어질 수 있다. 그 밖에도 전술한 제조방법은 다양하게 변화될 수 있다.
- [0108] 이하에서는, 도 16a 및 도 16b 그리고 도 17a 및 도 17b를 참조하여, 본 발명의 실시예에 다른 HEMT의 동작방법을 설명하도록 한다.
- [0109] 도 16a 및 도 16b는 본 발명의 실시예에 따른 HEMT의 동작방법을 설명하기 위한 단면도이다. 본 실시예는 도 1의 HEMT에 대한 것이다.
- [0110] 도 16a를 참조하면, 오프(OFF) 상태의 HEMT가 도시되어 있다. 게이트전극(G10)에 0V의 전압(V1)이 인가되어 있고, 이때, 디플리션 형성층(DP10)에 대응하는 2DEG는 공핍된(depleted) 상태이다. 2DEG는 디플리션 형성층(DP10)에 의해 단절 영역을 갖는다. 즉, 게이트전극(G10)에 전압이 인가되지 않은 상태에서 2DEG(채널)의 중간

영역(즉, DP10에 대응하는 영역)이 끊어져 있다. 따라서, 본 실시예의 HEMT는 게이트전압(Vg)이 0V일 때, 오프(OFF) 상태를 가질 수 있다. 다시 말해, 본 실시예의 HEMT는 노멀리-오프(normally-off) 소자일 수 있다.

[0111] 도 16b를 참조하면, 게이트전극(G10)에 문턱전압(threshold voltage)(Vth)보다 큰 전압(V2)이 인가되면, 디플리션 형성층(DP10)에 대응하는 2DEG 부분이 재생되면서 전체적으로 연속된 채널(즉, 2DEG)이 형성될 수 있다. 리세스 영역(R10)은 그에 대응하는 채널층(C10) 영역에서 2DEG가 유지될 수 있을 정도의 깊이로 형성되고, 이 영역의 2DEG는 디플리션 형성층(DP10)에 의해 공핍된 것이기 때문에, 게이트전극(G10)에 문턱전압(Vth)보다 큰 전압(V2)이 인가되면, 디플리션 형성층(DP10)의 전기적 특성이 변화되면서, 디플리션 형성층(DP10)에 대응하는 2DEG가 용이하게 재생될 수 있다. 이때, 소오스전극(S10)과 드레인전극(D10) 사이에 소정의 전압이 인가되면, 소오스전극(S10)으로부터 채널(즉, 2DEG)을 통해 드레인전극(D10)으로 소정의 전류가 흐를 수 있다. 채널, 즉, 2DEG는 매우 높은 전자이동도(electron mobility)를 갖기 때문에, HEMT는 우수한 동작 성능을 가질 수 있다. 더욱이, 본 발명의 실시예에서는 절연 마스크층(M10)에 의해 채널(즉, 2DEG)의 손상이 방지되기 때문에, 온(ON) 상태에서 채널의 저항은 매우 낮을 수 있다. 따라서, 본 발명의 실시예에 따른 HEMT의 온(ON) 저항은 매우 낮을 수 있다.

[0112] 도 17a 및 도 17b는 본 발명의 다른 실시예에 따른 HEMT의 동작방법을 설명하기 위한 단면도이다. 본 실시예는 도 4의 HEMT에 대한 것이다.

[0113] 도 17a를 참조하면, 오프(OFF) 상태의 HEMT가 도시되어 있다. 게이트전극(G20)에 0V의 전압(V1')이 인가되어 있고, 이때, 2DEG는 리세스 영역(R20)에 대응하는 부분에 단절 영역을 갖는다. 따라서, 본 실시예의 HEMT는 노멀리-오프(normally-off) 소자라고 할 수 있다.

[0114] 도 17b를 참조하면, 게이트전극(G20)에 문턱전압(Vth)보다 큰 전압(V2')이 인가되면, 리세스 영역(R20)에서 끊어졌던 2DEG가 서로 연결되면서 전체적으로 연속된 채널(즉, 2DEG)이 형성될 수 있다. 리세스 영역(R20)에 의해 2DEG의 중간에 단절 영역이 형성되었다 하더라도, 게이트전극(G20)에 비교적 높은 전압(V2')이 인가되면, 디플리션 형성층(DP20)의 전기적 특성이 변화되면서, 끊어졌던 2DEG가 연결될 수 있다. 이를 위해서는, 리세스 영역(R20)이 비교적 좁은 폭으로 형성되는 것이 바람직할 수 있다. 본 실시예에서와 같이, 리세스 영역(R20)이 채널층(C20)과 채널공급층(CS20) 사이의 계면까지 형성되어 리세스 영역(R20)에 의해 2DEG에 단절 영역이 형성된 경우, HEMT를 턴-온(turn-on) 시키는데 상대적으로 높은 게이트전압(V2')이 필요할 수 있다. 이와 관련해서, 도 17b의 턴-온(turn-on)을 위한 게이트전압(V2')은 도 16b의 게이트전압(V2)보다 높을 수 있다.

[0115] 본 발명의 실시예에 따른 HEMT는, 예컨대, 파워소자(power device)로 사용될 수 있다. 그러나 본 발명의 실시예에 따른 HEMT의 적용 분야는 파워소자에 한정되지 않고, 다양하게 변화될 수 있다. 즉, 본 발명의 실시예에 따른 HEMT는 파워소자뿐 아니라, 그 밖에 다른 용도로도 사용될 수 있다.

[0116] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 9의 HEMT의 구조는 다양하게 변형될 수 있음을 알 수 있을 것이다. 구체적인 예로, 채널층 및 채널공급층의 물질로 GaN계 물질 이외에 다른 물질이 적용될 수 있음을 알 수 있을 것이다. 또한, 채널층과 채널공급층의 위치 관계는 뒤바뀔 수 있음을 알 수 있을 것이다. 그리고 도 10a 내지 도 15를 참조하여 설명한 제조방법도 다양하게 변형될 수 있음을 알 수 있을 것이다. 부가해서, 당업자라면 본 발명의 사상(idea)은 HEMT가 아닌 다른 반도체소자에도 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

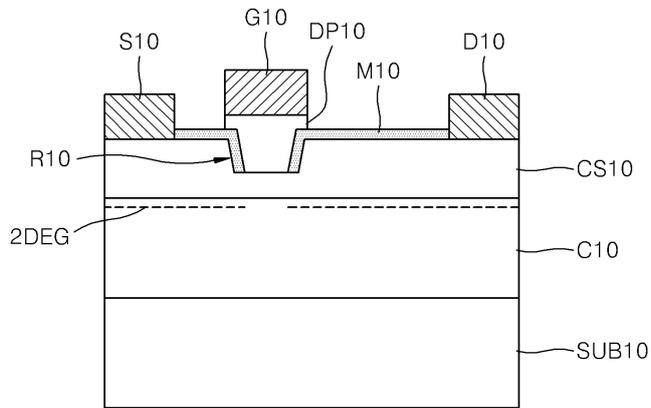
[0117] * 도면의 주요 부분에 대한 부호설명 *

- | | |
|--------------------|---------------------------|
| C10, C20 : 채널층 | CS10, CS20 : 채널공급층 |
| D10, D20 : 드레인전극 | DP10~DP30 : 디플리션 형성층 |
| F10, F20 : 필드 플레이트 | G10, G20 : 게이트전극 |
| M10~M30 : 절연 마스크층 | R1, R2, R10, R20 : 리세스 영역 |
| S10, S20 : 소오스전극 | SUB10, SUB20 : 기판 |

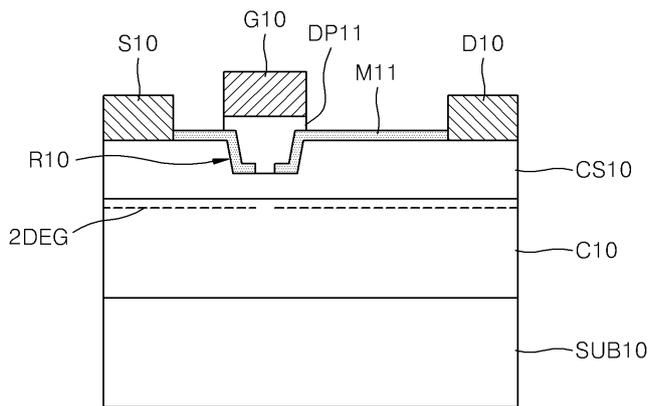
- | | |
|-------------------------|------------------------|
| 100, 110 : 기판 | 200, 210 : 채널층 |
| 300, 310 : 채널공급층 | 400~402, 410 : 절연 마스크층 |
| 500~502, 510 : 디플리션 형성층 | 600, 610 : 게이트전극 |
| 600', 610' : 필드 플레이트 | 700A, 710A : 소오스전극 |
| 700B, 710B : 드레인전극 | |

도면

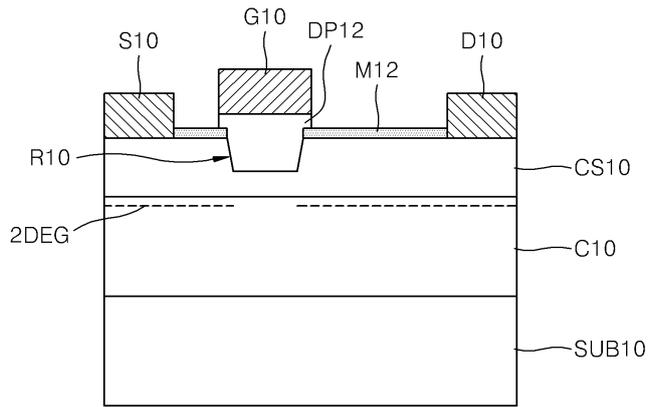
도면1



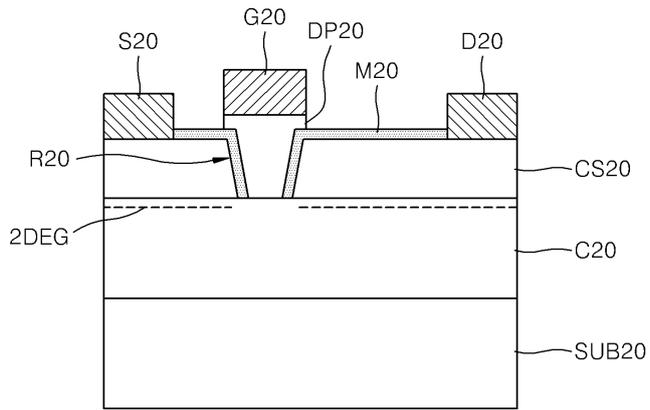
도면2



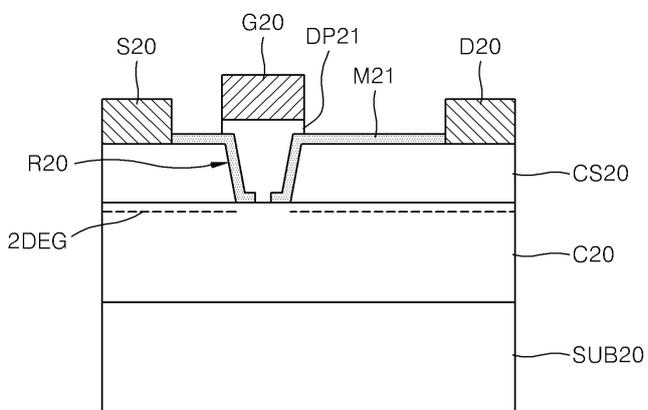
도면3



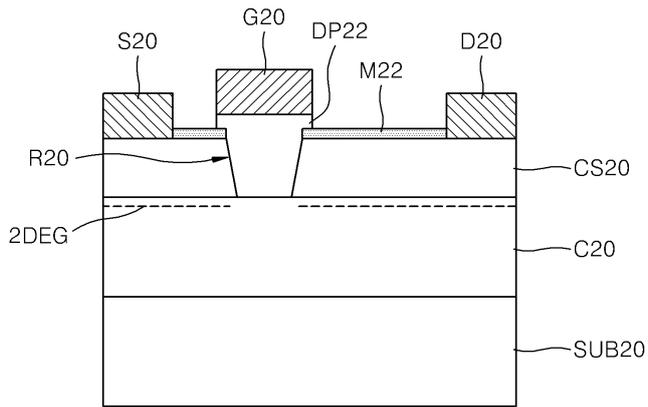
도면4



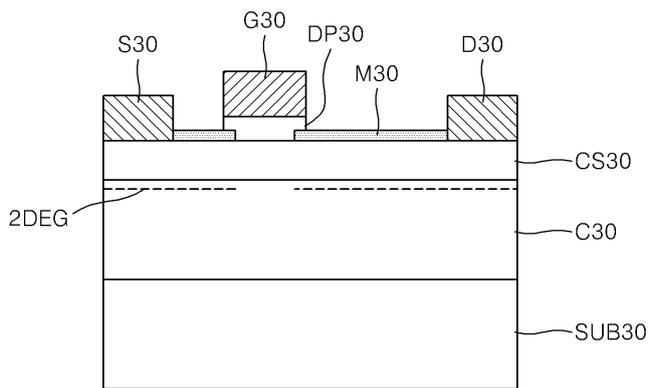
도면5



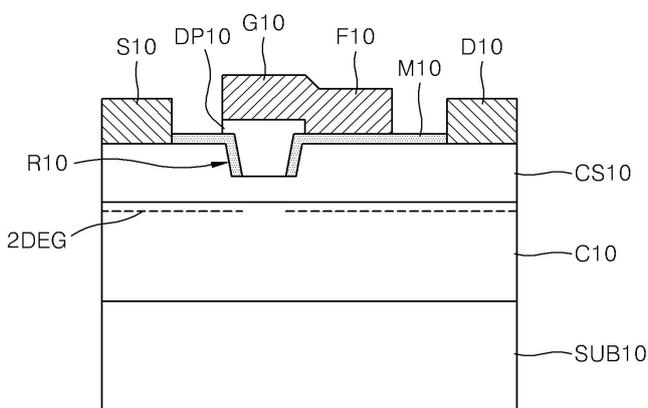
도면6



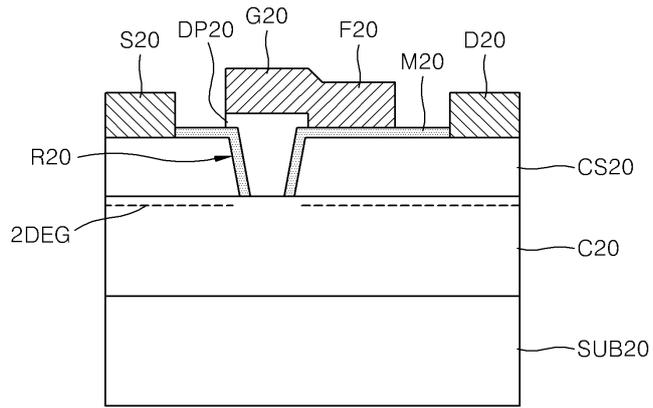
도면7



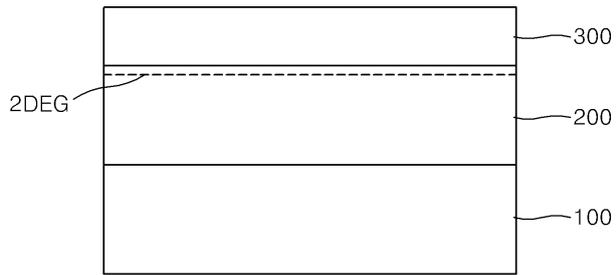
도면8



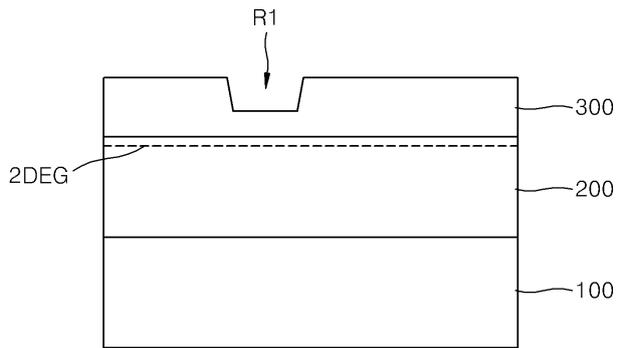
도면9



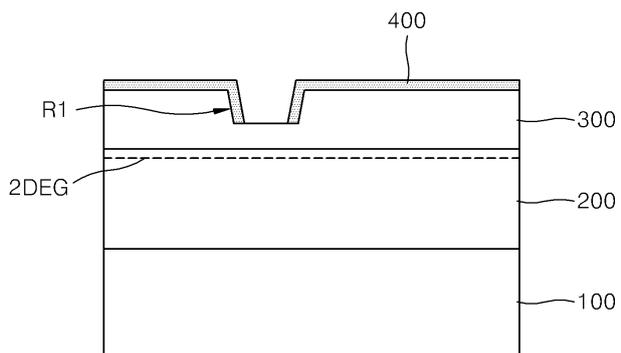
도면10a



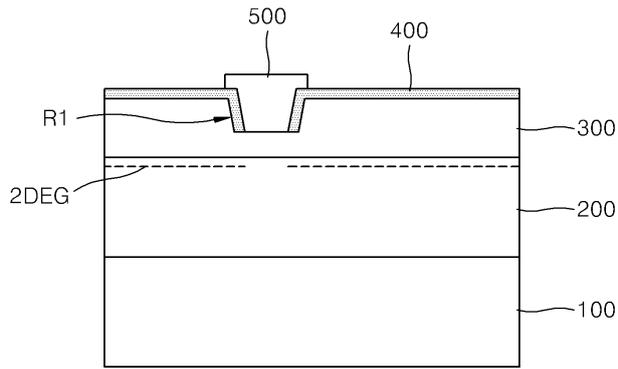
도면10b



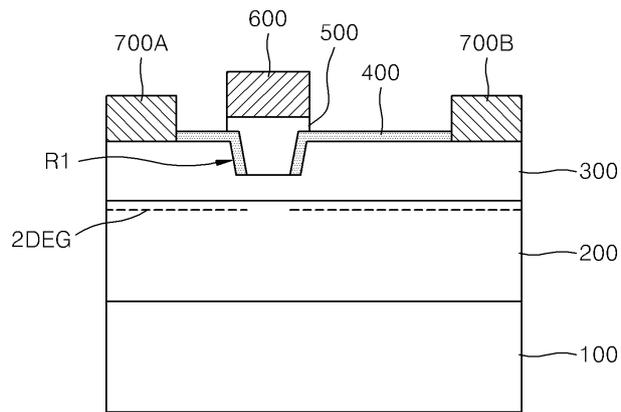
도면10c



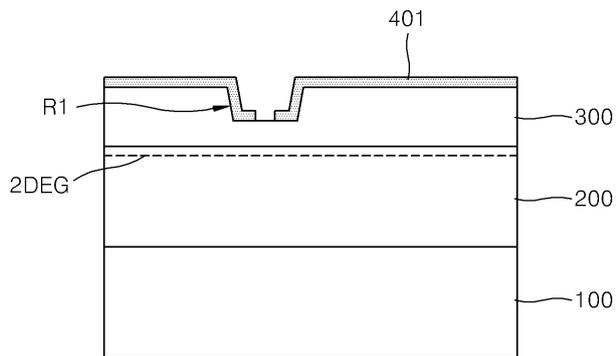
도면10d



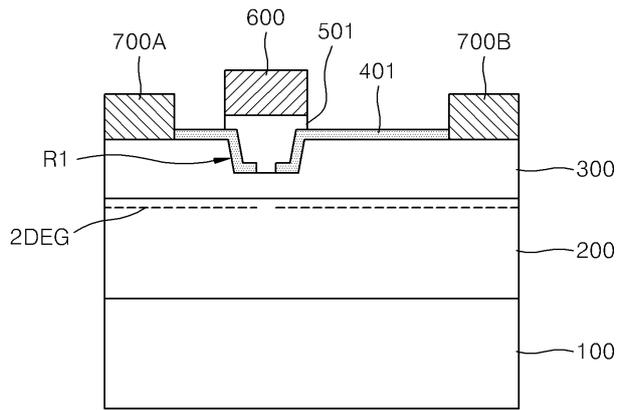
도면10e



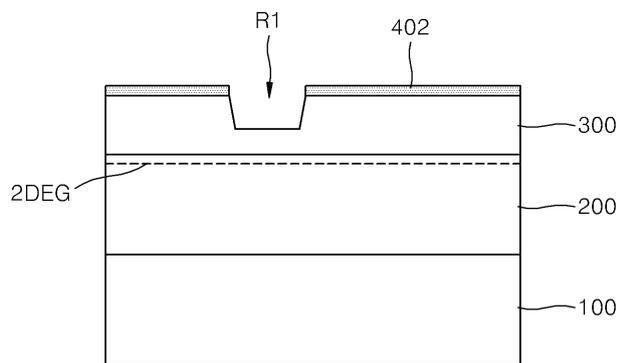
도면11a



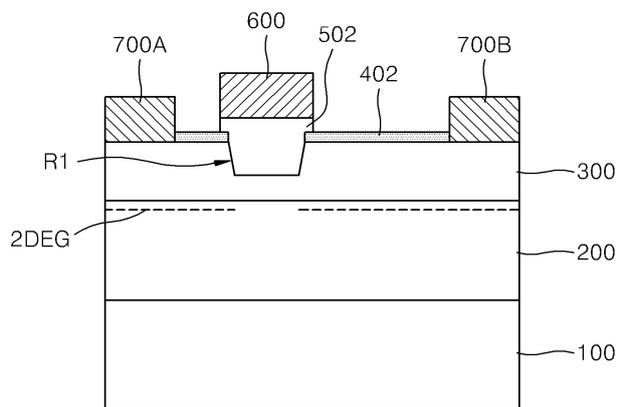
도면11b



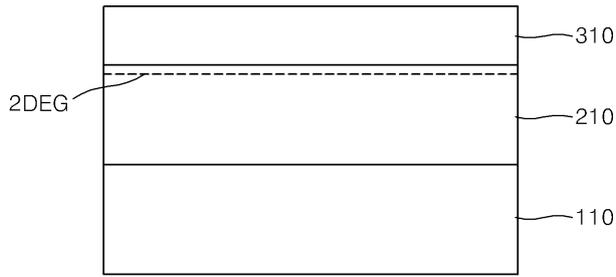
도면12a



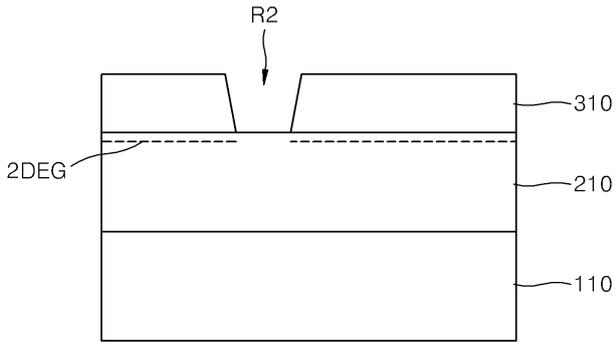
도면12b



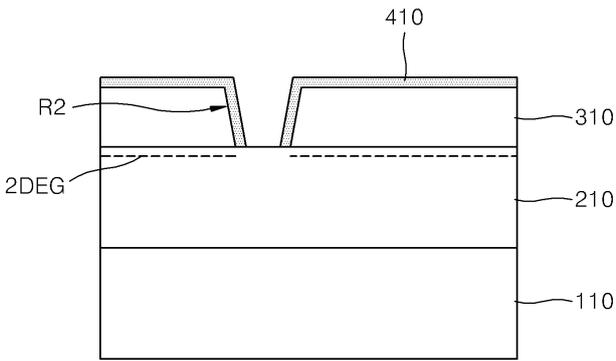
도면13a



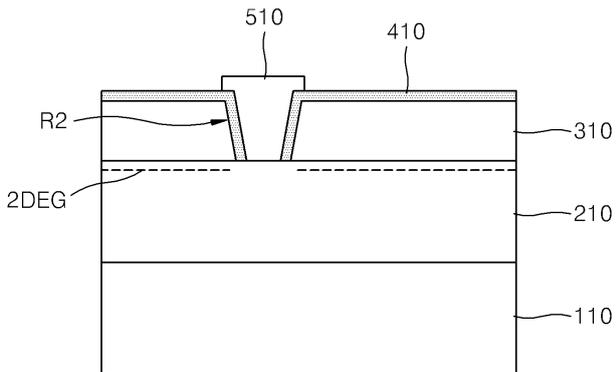
도면13b



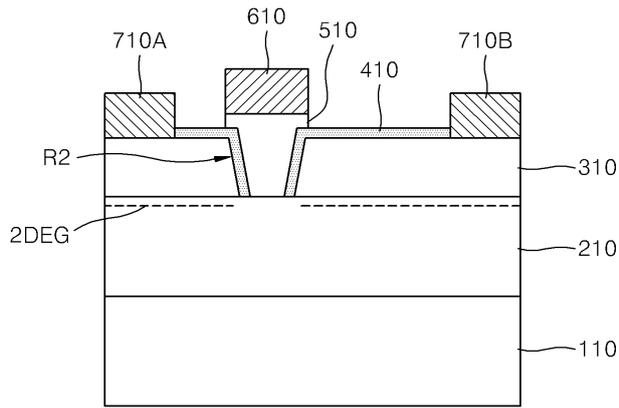
도면13c



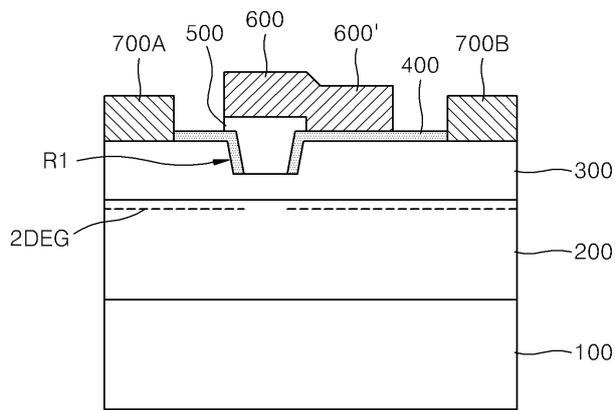
도면13d



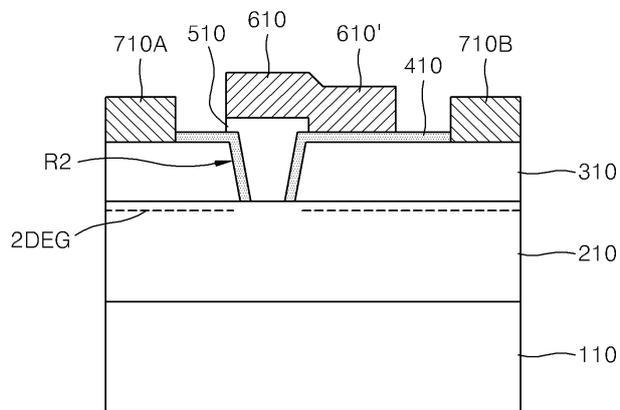
도면13e



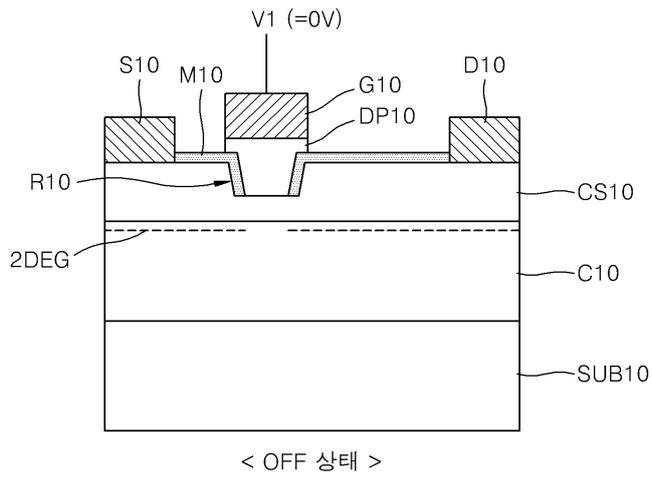
도면14



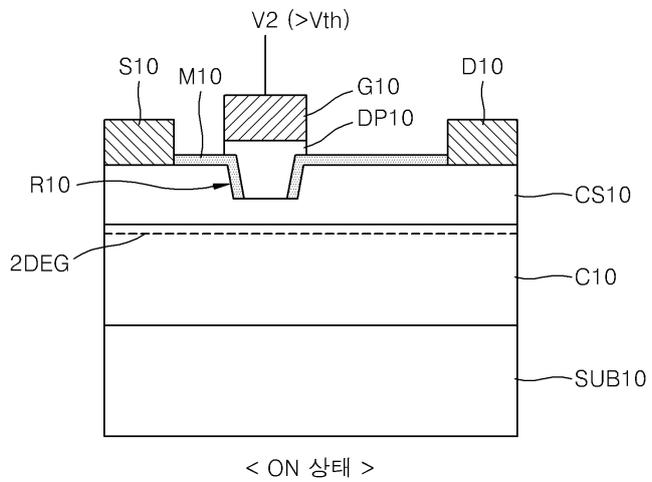
도면15



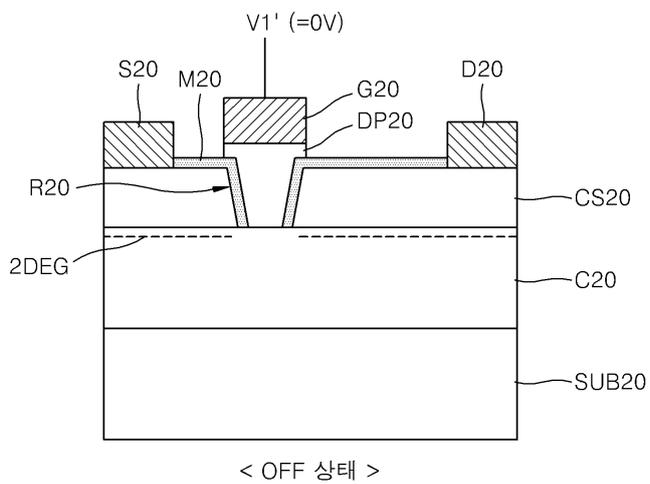
도면16a



도면16b



도면17a



도면17b

