



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0011872  
(43) 공개일자 2014년01월29일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01L 21/8247 (2006.01) H01L 27/115 (2006.01)</p> <p>(21) 출원번호 10-2012-0079541</p> <p>(22) 출원일자 2012년07월20일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>삼성전자주식회사<br/>경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자<br/>김비오<br/>서울특별시 동작구 동작대로29길 195 (사당동, 사당유니드아파트)103동 101호<br/>나카니시 토시로<br/>경기도 성남시 분당구 성남대로 393 (정자동, 두산위브파빌리온) B-2425<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>박영우</p> |
|---|---|

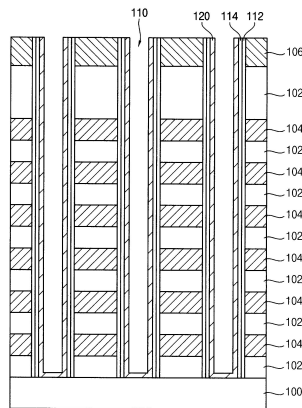
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 수직형 메모리 장치 및 그 제조 방법

(57) 요약

수직형 메모리 장치의 제조 방법에 있어서, 기판 상에 복수의 희생막들 및 절연막들을 형성한다. 상기 희생막들 및 상기 절연막들의 일부를 식각하여, 상기 기판 표면을 노출시키는 개구부를 형성한다. 상기 개구부의 측벽에 전하 트래핑막 및 터널 절연막을 형성한다. 상기 터널 절연막 상에 상기 개구부의 내벽 프로파일을 따라, N형 불순물이 도핑된 폴리실리콘을 포함하는 채널막을 형성한다. 상기 채널막이 형성된 개구부 내부에 매립 절연 패턴을 형성한다. 또한, 상기 채널막의 일 측벽의 전하 트래핑막 상에, 블록킹 유전막 및 콘트롤 게이트를 형성한다.

대표도 - 도5



(72) 발명자

**노진태**

경기도 수원시 영통구 영통로 498 (영통동, 황골마을1단지아파트) 155동 1501호

**선창우**

경기도 화성시 동탄반석로 42 한화우림아파트(반송동) 602-1503

**임승현**

서울특별시 강남구 선릉로69길 19 (역삼동, 역삼래미안아파트) 109동 1404호

**안재영**

경기도 성남시 분당구 불정로 361 (서현동, 효자촌삼환아파트) 507동 403호

**황기현**

경기도 성남시 분당구 정자로 143 (정자동, 한솔마을LG아파트)202동 604호

**특허청구의 범위**

**청구항 1**

기관 상에 복수의 희생막들 및 절연막들을 형성하는 단계;  
 상기 희생막들 및 상기 절연막들의 일부를 식각하여, 상기 기관 표면을 노출시키는 개구부를 형성하는 단계;  
 상기 개구부의 측벽에 전하 트래핑막 및 터널 절연막을 형성하는 단계;  
 상기 터널 절연막 상에 상기 개구부의 내벽 프로파일을 따라, N형 불순물이 도핑된 폴리실리콘을 포함하는 채널막을 형성하는 단계;  
 상기 채널막이 형성된 개구부 내부에 매립 절연 패턴을 형성하는 단계; 및  
 상기 채널막의 일 측벽의 전하 트래핑막 상에, 블록킹 유전막 및 콘트롤 게이트를 형성하는 단계를 포함하는 수직형 메모리 장치의 제조 방법.

**청구항 2**

제1항에 있어서, 상기 채널막을 형성하는 단계는,  
 상기 터널 절연막 상에 인시튜 도핑에 의해 N형 불순물이 도핑된 비정질 실리콘막을 형성하는 단계;  
 상기 비정질 실리콘막을 결정화하여 폴리실리콘막을 형성하는 단계; 및  
 상기 폴리실리콘막을 일부 두께만큼 식각하여 상기 폴리실리콘막보다 얇은 채널막을 형성하는 단계를 포함하는 수직형 메모리 장치의 제조 방법.

**청구항 3**

제1항에 있어서, 상기 채널막을 형성하는 단계는,  
 상기 터널 절연막 상에 비도핑된 비정질 실리콘막을 형성하는 단계;  
 상기 비도핑된 비정질 실리콘막에 N형 불순물을 도핑하는 단계;  
 상기 도핑된 비정질 실리콘막을 결정화하여 폴리실리콘막을 형성하는 단계; 및  
 상기 폴리실리콘막을 일부 두께만큼 식각하여 채널막을 형성하는 단계를 포함하는 수직형 메모리 장치의 제조 방법.

**청구항 4**

제3항에 있어서, 상기 N형 불순물을 도핑하는 단계는 가스 상 도핑(Gas Phase Doping) 공정을 통해 수행되는 수직형 메모리 장치의 제조 방법.

**청구항 5**

제4항에 있어서, 상기 N형 불순물을 도핑 공정에서 사용되는 도핑 가스는 PH<sub>3</sub>를 포함하는 수직형 메모리 장치의 제조 방법.

**청구항 6**

제1항에 있어서, 상기 채널막에 포함된 N형 불순물은 인을 포함하는 수직형 메모리 장치의 제조 방법.

**청구항 7**

제6항에 있어서, 상기 채널막에 포함된 N형 불순물의 농도는 5E18atoms/cm<sup>3</sup> 내지 2E20 atoms/cm<sup>3</sup> 가 되도록 하는 수직형 메모리 장치의 제조 방법.

**청구항 8**

제1항에 있어서, 상기 채널막은 30 내지 90Å의 두께로 형성되는 수직형 메모리 장치의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 수직형 메모리 장치 및 그 제조 방법에 관한 것이다. 보다 상세하게는 수직형 NAND 플래시 메모리 장치 및 그 제조 방법에 관한 것이다.

### 배경기술

[0002] 최근 집적도 증가를 위해 수직형 메모리 장치가 개발되고 있다. 상기 수직형 메모리 장치에서, 기판 표면으로부터 수직하게 복수 개의 메모리 셀들 및 절연막들이 적층된다. 또한, 상기 기판 상부면과 수직하게 돌출되는 기둥형상 또는 마커로니 형상의 채널 패턴들이 구비되어야 한다. 상기 채널 패턴의 재료 및 구조 등에 따라 상기 수직형 메모리 장치에 포함된 메모리 셀들의 전기적 동작 특성이 달라질 수 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 발명의 일 목적은 우수한 전기적 특성을 갖는 수직형 메모리 장치의 제조 방법을 제공하는데 있다.

#### 과제의 해결 수단

[0004] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 수직형 메모리 장치의 제조 방법에서, 기판 상에 복수의 희생막들 및 절연막들을 형성한다. 상기 희생막들 및 상기 절연막들의 일부를 식각하여, 상기 기판 표면을 노출시키는 개구부를 형성한다. 상기 개구부의 측벽에 전하 트래핑막 및 터널 절연막을 형성한다. 상기 터널 절연막 상에 상기 개구부의 내벽 프로파일을 따라, N형 불순물이 도핑된 폴리실리콘을 포함하는 채널막을 형성한다. 상기 채널막이 형성된 개구부 내부에 매립 절연 패턴을 형성한다. 상기 채널막의 일 측벽의 전하 트래핑막 상에, 블로킹 유전막 및 콘트롤 게이트를 형성한다.

[0005] 본 발명의 일 실시예에서, 상기 채널막을 형성하는 방법으로, 상기 터널 절연막 상에 인시튜 도핑에 의해 N형 불순물이 도핑된 비정질 실리콘막을 형성한다. 상기 비정질 실리콘막을 결정화하여 폴리실리콘막을 형성한다. 또한, 상기 폴리실리콘막을 일부 두께만큼 식각하여 상기 폴리실리콘막보다 얇은 채널막을 형성한다.

[0006] 본 발명의 일 실시예에서, 상기 채널막을 형성하는 다른 방법으로, 상기 터널 절연막 상에 비도핑된 비정질 실리콘막을 형성한다. 상기 비도핑된 비정질 실리콘막에 N형 불순물을 도핑한다. 상기 도핑된 비정질 실리콘막을 결정화하여 폴리실리콘막을 형성한다. 또한, 상기 폴리실리콘막을 일부 두께만큼 식각하여 상기 폴리실리콘막보다 얇은 채널막을 형성한다.

[0007] 본 발명의 일 실시예에서, 상기 N형 불순물을 도핑하는 단계는 가스 상 도핑(Gas Phase Doping) 공정을 통해 수행될 수 있다. 상기 N형 불순물을 도핑 공정에서 사용되는 도핑 가스는 PH<sub>3</sub>를 포함할 수 있다.

[0008] 본 발명의 일 실시예에서, 상기 채널막에 포함된 N형 불순물은 인을 포함할 수 있다. 상기 채널막에 포함된 N형 불순물의 농도는 5E18atoms/cm<sup>3</sup> 내지 2E20 atoms/cm<sup>3</sup> 일 수 있다.

[0009] 본 발명의 일 실시예에서, 상기 채널막은 30 내지 90Å의 두께로 형성될 수 있다.

### 발명의 효과

[0010] 전술한 바와 같이 본 발명의 실시예들에 따르면, 수직형 메모리 장치의 채널 패턴은 N형 불순물이 도핑된 폴리실리콘을 포함한다. 또한, 상기 채널 패턴의 외측벽에는 터널 절연막, 전하 트래핑막, 블로킹 유전막 및 콘트롤 게이트 전극이 차례로 적층된 게이트 구조물이 구비된다. 이와같이, 상기 N형 불순물이 도핑된 채널 패턴 상에 셀 트랜지스터들이 구비되는 경우, 상기 셀 트랜지스터는 문턱 전압이 높고, 스윙특성이 우수하다. 또한, 상기 채널 패턴은 얇은 두께를 가질 수 있다.

[0011] 상기 수직형 메모리 장치를 제조하기 위하여, 불순물 도핑 공정만이 추가된다. 그러므로, 간단한 공정 추가만으로 고성능의 수직형 메모리 장치를 제조할 수 있다.

**도면의 간단한 설명**

- [0012] 도 1 내지 도 7은 본 발명의 실시예 1에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.  
 도 8a는 도 7의 수직형 메모리 소자의 셀 트랜지스터인 A 부분을 확대한 단면도이다.  
 도 8b는 본 발명과 비교하기 위한 것으로 일반적인 수직형 메모리 소자의 셀 트랜지스터의 확대 단면도이다.  
 도 9 및 10은 본 발명의 실시예 2에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.  
 도 11은 샘플 및 비교 샘플들에서 채널막의 도핑 농도 및 채널막의 두께에 따른 셀 트랜지스터의 문턱 전압 특성을 비교한 그래프이다.  
 도 12는 샘플 및 비교 샘플들에서 채널막의 도핑 농도 및 채널막의 두께에 따른 셀 트랜지스터의 스윙 특성을 비교한 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 수직형 메모리 장치의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 영역, 패턴들 또는 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 기판, 각 층(막), 영역, 전극, 구조물들 또는 패턴들 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴들 또는 구조물들이 직접 기판, 각 층(막), 영역, 구조물 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴들 또는 다른 구조물이 기판 상에 추가적으로 형성될 수 있다. 또한, 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들이 "제1", "제2" 및/또는 "예비"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 물질, 층(막), 영역, 전극, 패턴들 또는 구조물들을 구분하기 위한 것이다. 따라서 "제1", "제2" 및/또는 "예비"는 각 층(막), 영역, 전극, 패턴들 또는 구조물들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.
- [0014] 도 1 내지 도 7은 본 발명의 실시예 1에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0015] 도 1을 참조하면, 기판(100) 상에 복수의 층간 절연막(102) 및 희생막(104)을 교대로 반복적으로 적층하고, 이후 마스크 패턴(106)을 형성한다.
- [0016] 상기 기판(100)은 실리콘, 게르마늄 등과 같은 반도체 물질을 포함할 수 있다.
- [0017] 상기 층간 절연막(102)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 산탄화물(SiOC) 혹은 실리콘 산불화물(SiOF)과 같은 실리콘 산화물을 사용하여 형성될 수 있다. 상기 희생막(104)은 층간 절연막(102)에 대해 식각 선택비를 갖는 물질, 예를 들어, 실리콘 질화물(SiN), 실리콘 붕 질화물(SiBN) 등과 같은 실리콘 질화물을 사용하여 형성될 수 있다. 또한, 층간 절연막(102) 및 희생막(104)은 화학 기상 증착(CVD) 공정, 플라즈마 화학 기상 증착(PECVD) 공정, 원자층 증착(ALD) 공정 등을 통해 형성할 수 있다. 상기 희생막(104)은 후속 공정에서 각 메모리 셀들 및 선택 트랜지스터들을 구성하는 게이트들을 형성하기 위한 막으로 제공된다. 그러므로, 각 층에 형성되는 희생막(104)의 두께는 각 층에 형성되는 게이트 전극들의 목표 두께와 거의 동일하게 형성될 수 있다.
- [0018] 도 2를 참조하면, 상기 마스크 패턴(106)을 식각 마스크로 사용하는 건식 식각 공정을 수행하여 층간 절연막(102) 및 희생막(104)을 관통하여 기판(100) 표면을 노출하는 콘택홀 형상의 제1 개구부들(110)을 형성한다. 상기 제1 개구부들(110)은 후속 공정에서 셀 트랜지스터의 채널들이 형성되는 영역이 된다.
- [0019] 도시하지는 않았지만, 상기 기판(100) 표면 상에 상기 기판(100) 표면과 접촉하는 반도체 패턴을 추가적으로 더 형성할 수도 있다. 상기 반도체 패턴은 선택적 에피택셜 성장 공정을 통해 형성될 수 있다.
- [0020] 도 3을 참조하면, 제1 개구부(110)의 측벽과 기판 표면의 프로파일을 따라 권포멀하게 전하 트래핑막 및 터널 절연막을 순차적으로 형성한다. 도시하지는 않았지만, 상기 전하 트래핑막을 형성하기 이전에 블로킹 유전막의 일부로 제공되는 산화막을 먼저 형성할 수도 있다.

- [0021] 구체적으로, 상기 전하 트래핑막은 실리콘 질화물과 같은 질화물 혹은 금속 산화물을 사용하여, 제1 개구부(110)의 측벽, 기관 및 층간 절연막 상부면에 형성될 수 있다. 또한, 상기 터널 절연막은 실리콘 산화물을 사용하여 CVD 공정, ALD 공정 등을 수행함으로써 형성할 수 있다. 도시하지는 않았지만, 상기 터널 절연막 상에 상기 터널 절연막을 보호하기 위하여 얇은 두께로 폴리실리콘막을 더 형성할 수도 있다.
- [0022] 이 후, 상기 터널 절연막 및 전하 트래핑막을 이방성으로 식각하여 기관(100) 표면 부위를 노출하도록 한다. 따라서, 상기 제1 개구부(110) 측벽에는 스페이서 형상의 전하 트래핑 패턴(112) 및 터널 절연막 패턴(114)이 형성된다.
- [0023] 도 4를 참조하면, 상기 터널 절연막 패턴(114) 및 기관(100) 표면 프로파일을 따라 N형 불순물을 인시튜로 도핑하면서 비정질 실리콘막(118)을 형성한다. 상기 N형 불순물은 인 또는 비소를 포함할 수 있다. 본 실시예에서, N형 불순물은 인을 사용하는 것으로 설명한다. 상기 비정질 실리콘막(118)은 상기 제1 개구부들(110) 내부를 완전히 매립하지 않고, 상기 제1 개구부들(110)의 측벽 및 저면을 따라 형성되어야 한다.
- [0024] 상기 비정질 실리콘막(118)은 후속 공정을 통해 메모리 셀들의 채널막으로 제공된다. 상기 비정질 실리콘막(118)에 도핑되는 불순물에 따라 셀 트랜지스터의 동작 특성이 매우 지배적으로 바뀔 수 있다. 그러므로, 상기 메모리 셀들이 목표한 문턱전압을 가질 수 있도록 상기 비정질 실리콘막(118)에 도핑되는 불순물의 농도가 조절되어야 한다.
- [0025] 본 실시예에서, 셀 트랜지스터는 문턱 전압 이상의 전압이 게이트에 인가되면 터널 절연막 패턴(114)과 반대되는 면에서부터 채널이 생기는 공핍형 트랜지스터가 형성되도록 불순물의 농도가 조절되어야 한다. 구체적으로, 셀 트랜지스터에서 채널막의 불순물 도핑 농도가 높아질수록 셀 트랜지스터의 문턱 전압 특성이 나빠지게 된다.
- [0026] 예를들어, 상기 N형 불순물의 농도(즉, 인의 농도)가  $2E20 \text{ atoms/cm}^3$ 보다 높으면, 온/오프 특성이 나빠져서 셀 트랜지스터로 동작되기 어렵다. 반면에, 상기 N형 불순물 농도가  $5E18 \text{ atoms/cm}^3$ 보다 낮아지면, 셀 트랜지스터의 동작 전류가 너무 낮아지게 되어 바람직하지 않다. 또한, 상기 인시튜 도핑을 통해서도 저농도로 불순물을 도핑하는 것이 용이하지 않다. 그러므로, 상기 인시튜 도핑 공정을 통해 상기  $5E18 \text{ atoms/cm}^3$ 보다 낮은 도핑 농도를 갖도록 비정질 실리콘막(118)을 형성하는 것이 용이하지 않다. 따라서, 상기 N형 불순물의 농도는  $5E18 \text{ atoms/cm}^3$  내지  $2E20 \text{ atoms/cm}^3$ 가 되도록 할 수 있다.
- [0027] 상기 비정질 실리콘막(118)은 최종적으로 형성하고자 하는 채널막의 두께보다 더 두껍게 형성한다. 이는, 최종적으로 형성하고자 하는 채널막이 90Å 이하의 매우 얇은 두께를 가져야 하기 때문에, 이와같은 얇은 두께로 균일한 도핑 농도를 갖는 비정질 실리콘막을 형성하는 것이 어렵기 때문이다. 예를들어, 상기 비정질 실리콘막(118)은 균일한 두께 및 균일한 도핑 농도를 가질 수 있도록 하기 위하여, 150 내지 300Å의 두께로 형성할 수 있다. 그러나, 상기 비정질 실리콘막(118)은 제1 개구부(110) 내부를 완전하게 매립하지 않을 정도의 두께를 가지면 되므로, 상기 비정질 실리콘막(118)의 두께는 상기 범위에 한정되지는 않는다. 상기 비정질 실리콘막(118)의 두께는 상기 제1 개구부(110)의 내부 폭에 따라 달라질 수 있다.
- [0028] 도 5를 참조하면, 상기 비정질 실리콘막(118)을 결정화시켜 폴리실리콘막을 형성한다. 상기 결정화 공정은 열처리 공정을 포함한다. 상기 결정화 공정을 수행함으로써, 상기 폴리실리콘막 내의 N형 불순물들은 균일한 도핑 프로파일을 가질 수 있다.
- [0029] 계속하여, 상기 폴리실리콘막을 일부 두께만큼 식각하여 상기 폴리실리콘막의 두께를 얇게함으로써 채널막(120)을 형성한다. 상기 식각 공정은 등방성 식각 공정일 수 있다.
- [0030] 상기 채널막(120)의 두께는 셀 트랜지스터의 동작 특성에 매우 지배적으로 영향을 미친다. 구체적으로, 상기 채널막(120)의 두께가 얇아질수록 문턱 전압이 증가하게 되고 스윙 특성이 개선된다. 이와같이, 셀 트랜지스터는 채널막(120)의 도핑 농도 및 채널막(120)의 두께에 따라 동작 특성이 변하게 될 수 있다. 따라서, 상기 채널막(120)의 도핑 농도와 채널막의 두께를 적절하게 변경함으로써 원하는 동작특성을 갖는 셀 트랜지스터를 형성할 수 있다. 예를들어, 상기 채널막(120)의 N형 불순물 농도가 다소 높은 경우에 상기 채널막(120)의 두께를 감소시키는 것이 바람직하다. 반대로, 상기 채널막(120)의 N형 불순물 농도가 낮은 경우에 상기 채널막(120)의 두께를 다소 증가시킬 수 있다.
- [0031] 상기 설명한 것과 같이, 상기 N형 불순물의 농도가  $5E18 \text{ atoms/cm}^3$  내지  $2E20 \text{ atoms/cm}^3$  범위 내에 있는 경우, 채널막(120)이 90Å이상의 두께를 가지면 셀 트랜지스터로 동작되기 어렵다. 즉, 상기 채널막(120)이 90Å 이상

의 두께를 가지면, 문턱 전압 특성 및 스윙 특성이 양호하지 않으며 온 오프 특성이 불량해지게 된다. 한편, 상기 채널막(120)이 30Å 이하의 두께를 가지면 셀 트랜지스터의 온 전류가 매우 감소된다. 또한, 상기 채널막(120)이 30Å 이하의 얇은 두께를 갖도록 식각 공정을 컨트롤하는 것도 용이하지 않다. 따라서, 상기 채널막(120)은 30 내지 90Å의 두께를 갖도록 식각 공정을 수행할 수 있다.

- [0032] 설명한 것과 다른 실시예로, 상기 비정질 실리콘막(118)은 최종적으로 형성하고자 하는 채널막(120)의 두께와 동일하게 형성할 수도 있다. 즉, 상기 비정질 실리콘막(118)은 30 내지 90Å의 두께를 갖도록 형성할 수 있다. 이 경우에는 상기 폴리실리콘막을 일부 두께만큼 식각하여 상기 폴리실리콘막의 두께를 얇게하는 공정이 생략될 수 있다.
- [0033] 도 6을 참조하면, 상기 채널막(120) 상에 상기 제1 개구부(110) 내부를 매립하는 매립 절연막을 형성할 수 있다. 상기 매립 절연막은 실리콘 산화물로 형성할 수 있다. 평탄화 공정을 수행하여, 상기 층간 절연막(102) 상에 위치하는 매립 절연막을 제거한다. 계속하여, 상기 매립 절연막의 상부를 일부 제거하여 매립 절연 패턴(122)을 형성한다.
- [0034] 상기 매립 절연막이 제거된 부위를 채우도록 도전 물질을 형성하여, 상기 매립 절연 패턴(122) 상에 패드 패턴(124)을 형성한다.
- [0035] 도 7을 참조하면, 상기 층간 절연막들(102) 및 희생막들(104)의 일부 영역을 건식 식각하여 제2 개구부(도시안됨)를 형성한다. 상기 제2 개구부는 일 방향으로 연장되는 트렌치 형상을 가질 수 있다.
- [0036] 상기 제2 개구부의 측벽에 노출되어 있는 희생막들(104)을 제거하여 각 층의 층간 절연막들(102) 사이에 요부를 형성한다. 상기 각 요부에는 상기 전하 트래핑 패턴(112)이 노출되어 있다. 상기 제거 공정은 습식 식각 공정을 통해 수행될 수 있다.
- [0037] 상기 요부의 측벽에 노출된 전하 트래핑 패턴(112)상에 블록킹 유전막(128)을 형성한다. 상기 블록킹 유전막(128)은 상기 층간 절연막(102), 기판(100) 및 전하 트래핑 패턴(112) 표면을 따라 키포털하게 형성될 수 있다. 상기 블록킹 유전막(128)은 실리콘 산화물 혹은 금속 산화물을 사용하여 형성할 수 있다. 상기 금속 산화물은, 예를 들어, 알루미늄 산화물, hafnium 산화물, 란탄 산화물, 란탄 알루미늄 산화물, 란탄 hafnium 산화물, hafnium 알루미늄 산화물, 티타늄 산화물, 탄탈륨 산화물, 지르코늄 산화물 등을 포함할 수 있다. 일 실시예에 따르면, 블록킹 유전막(128)은 실리콘 산화막 및 금속 산화막이 적층된 다층막으로 형성될 수 있다.
- [0038] 상기 요부의 내부를 채우도록 게이트 전극막을 형성한다. 또한, 상기 게이트 전극막이 각 층별로 분리되도록 상기 게이트 전극막의 일부를 식각하여 제3 개구부(도시안됨)를 형성한다. 상기 식각 공정을 통해 각 층별로 적층된 게이트 전극들(130)을 형성한다. 상기 게이트 전극(130)은 각각 그라운드 선택 라인(GSL), 워드 라인 및 스트링 선택 라인(SSL)으로 제공될 수 있다.
- [0039] 한편, 상기 제3 개구부의 저면에 노출된 기판에 불순물을 주입하여 불순물 영역을 형성한다. 상기 불순물 영역은 공통 소스 라인(CSL)으로 제공될 수 있다. 계속하여, 상기 제3 개구부 내부를 채우는 절연막 패턴(도시안됨)을 형성한다.
- [0040] 이 후, 상기 패드 패턴(124)을 덮는 상부 층간 절연막(132)을 형성한다. 상기 상부 층간 절연막(132)을 관통하여 상기 패드 패턴(124)과 연결되는 비트 라인 콘택(134) 및 비트 라인(136)을 형성한다. 상기 비트 라인(136)은 상기 각 층의 게이트 전극들이 연장되는 방향과 수직하게 연장될 수 있다.
- [0041] 상기 공정을 통해, 수직형 메모리 장치가 완성된다. 상기한 수직형 메모리 소자는 스윙 특성 및 문턱 전압 특성이 우수하다.
- [0042] 이하에서는, 상기한 수직형 메모리 소자의 동작에 대해 설명하고자 한다.
- [0043] 도 8a는 도 7의 수직형 메모리 소자의 셀 트랜지스터인 A 부분을 확대한 단면도이다.
- [0044] 도 8a를 참조하면, 상기 셀 트랜지스터는 문턱 전압 이하의 전압이 인가되는 동안에 전류가 흐르지 않는다. 또한, 문턱 전압 이상의 전압이 인가되면 상기 터널 절연막 패턴(114)과 접하고 있는 채널막 부위(120b)는 공핍층이 유지되고 상기 매립 절연 패턴(122)과 접하고 있는 채널막 부위(120a)에서 N+ 채널이 생성되면서 전류가 흐르게 된다. 그러므로, 상기 채널막(120)과 상기 매립 절연 패턴(122) 사이의 계면 특성이 셀 트랜지스터의 스윙 특성에 영향을 준다. 그런데, 상기 채널막(120)과 상기 매립 절연 패턴(122) 사이의 계면은 F-N 터널링에 의해서 열화되는 등의 문제가 발생되지 않기 때문에 우수한 계면 특성을 가질 수 있다. 따라서, 본 실시예에 따른

셀 트랜지스터는 스윙 특성 및 문턱 전압 특성이 우수하다.

- [0045] 도 8b는 본 발명과 비교하기 위한 것으로 일반적인 수직형 메모리 소자의 셀 트랜지스터의 확대 단면도이다.
- [0046] 도 8b에서는, 본 발명과는 다르게 비도핑된 채널막이 사용되는 셀 트랜지스터에 대해 설명한다. 이 경우, 상기 터널 절연막 패턴(114)과 접하고 있는 채널막(121) 부위에서 채널(C)이 생기므로, 상기 채널막(121)과 상기 터널 절연막 패턴(114)사이의 계면 특성이 셀 트랜지스터의 스윙 특성에 영향을 준다. 그런데, 상기 셀 트랜지스터의 동작 중에 채널막(121)과 터널 절연막 패턴(114)의 계면에서는 계속하여 F-N 터널링이 일어나기 때문에, 상기 채널막(121)과 터널 절연막 패턴(114)의 계면이 열화된다. 따라서, 상기 채널막(121)과 터널 절연막 패턴(114)의 계면 특성이 양호하지 않게되고, 이로인해 상기 셀 트랜지스터의 스윙 특성이 불량해지게 된다.
- [0047] 도 9 및 10은 본 발명의 실시예 2에 따른 수직형 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0048] 이하에서 설명하는 실시예 2의 제조 방법은 상기 채널막을 형성하는 방법을 제외하고는 실시예 1의 제조 방법과 동일하다. 그러므로, 반복되는 설명은 생략한다.
- [0049] 먼저, 도 1 내지 도 3을 참조로 설명한 것과 동일한 공정을 수행하여, 도 3에 도시된 구조를 형성한다.
- [0050] 도 9를 참조하면, 상기 터널 절연막 패턴(114) 및 기판(100) 표면 프로파일을 따라 비도핑된 비정질 실리콘막(116)을 형성한다. 상기 비정질 실리콘막(116)은 상기 제1 개구부들(110) 내부를 완전하게 매립하지 않고, 상기 제1 개구부들(110)의 측벽 및 저면을 따라 형성되어야 한다.
- [0051] 상기 비정질 실리콘막(116)은 최종적으로 형성하고자 하는 비정질 실리콘막(116)의 두께보다 더 두껍게 형성한다. 이는, 최종적으로 형성하고자 하는 비정질 실리콘막(116)이 90Å 이하의 너무 얇은 두께를 가져야 하기 때문에, 이와같은 얇은 두께의 비정질 실리콘막을 형성하는 것이 어렵기 때문이다. 예를들어, 상기 비정질 실리콘막(116)은 150 내지 300Å의 두께로 형성할 수 있다. 그러나, 상기 비정질 실리콘막(116)은 제1 개구부(110) 내부를 완전하게 매립하지 않을 정도의 두께를 가지면 되므로, 상기 비정질 실리콘막(116)의 두께는 상기 범위에 한정되지는 않는다. 상기 비정질 실리콘막(116)의 두께는 상기 제1 개구부(110)의 내부 폭에 따라 달라질 수 있다.
- [0052] 도 10을 참조하면, 상기 비정질 실리콘막(116)에 N형 불순물을 도핑한다. 상기 N형 불순물은 인 또는 비소를 포함할 수 있다. 본 실시예에서 상기 N형 불순물은 인을 사용한다.
- [0053] 상기 N형 불순물을 도핑하는 공정은 가스 상 도핑(Gas Phase Doping) 공정을 포함한다. 즉, 상기 N형 불순물을 포함하는 가스 소오스를 유입하여 제공함으로써, 상기 N형 불순물이 상기 비정질 실리콘막(116) 내부에 도핑되도록 한다. 상기 가스 소오스는 PH<sub>3</sub>(phosphin)을 포함할 수 있다. 상기 가스 상 도핑 공정을 수행하면, 인시투 도핑 공정보다도 저농도의 불순물 도핑이 가능하다.
- [0054] 상기 도핑 공정은 상기 비정질 실리콘막(116) 내의 N형 불순물의 농도(즉, 인의 농도)가 5E18atoms/cm<sup>3</sup> 내지 2E20 atoms/cm<sup>3</sup> 가 되도록 할 수 있다.
- [0055] 계속하여, 도 5 내지 도 7을 참조로 설명한 것과 동일한 공정을 수행하여, 도 7에 도시된 것과 동일한 구조의 수직형 메모리 소자를 제조할 수 있다. 상기한 수직형 메모리 소자는 스윙 특성 및 문턱 전압 특성이 우수하다.
- [0056] 비교 실험
- [0057] 본 발명의 실시예들에 따른 수직형 메모리 소자와 일반적인 수직형 메모리 소자의 셀 트랜지스터의 특성을 비교하였다. 또한, 채널막의 도핑 농도 및 채널막의 두께에 따른 셀 트랜지스터의 전기적 특성을 비교하였다.
- [0058] 실험에 사용된 샘플 및 비교 샘플은 도 6에 도시된 것과 같은 비휘발성 메모리 소자의 셀 트랜지스터 구조를 갖는다. 다만, 각 샘플 및 비교 샘플들은 채널막의 도핑 농도 및 채널막의 두께가 각각 다르다. 각 샘플 및 비교 샘플군의 채널막의 도핑 농도는 다음과 같다. 채널막에 도핑된 N형 불순물은 인 이다. 각 샘플군 및 비교 샘플군에서도 채널막의 두께를 다르게 하여 전기적 특성을 비교 실험하였다.



표 1

	샘플 1군	샘플 2군	샘플 3군	비교 샘플군
도핑 농도 (atoms/cm <sup>3</sup> )	2E20	3E19	8E18	비도핑

[0059]

[0060] 도 11은 샘플 및 비교 샘플들에서 채널막의 도핑 농도 및 채널막의 두께에 따른 셀 트랜지스터의 문턱 전압 특성을 비교한 그래프이다.

[0061] 도 11을 참조하면, 샘플 1군 및 샘플 2군의 데이터에서 채널막의 두께가 얇아질수록 문턱 전압이 상승됨을 알 수 있었다.

[0062] 그래프에서, 샘플 1군은 □, 샘플 2군은 △, 샘플 3군은 ○이고, 비교 샘플군은 ●로 표시된다.

[0063] 샘플 1군 데이터를 살펴보면, 채널막이 60Å인 경우에는 문턱 전압이 -2 내지 -1V이었지만, 채널막이 40Å인 경우에는 문턱 전압이 0 내지 1V 수준으로 상승되었다. 샘플 1군의 셀 트랜지스터와 같이 채널막의 N형 불순물의 도핑 농도가 2E20atoms/cm<sup>3</sup> 정도로 높더라도 상기 채널막의 두께를 얇게 함으로써, 문턱 전압을 조절할 수 있음을 알 수 있었다.

[0064] 샘플 2군 데이터를 살펴보면, 채널막이 90Å인 경우에는 문턱 전압이 -1 내지 0 수준이었지만, 채널막이 40Å인 경우에는 문턱 전압이 1 내지 2V 수준으로 상승되었다.

[0065] 샘플 3군 데이터를 살펴보면, 채널막의 N형 불순물의 도핑 농도가 8E18atoms/cm<sup>3</sup> 인 경우에는 채널막이 90Å일 때 문턱 전압이 약 0.5V임을 알 수 있었다.

[0066] 한편, 비교 샘플 1군 데이터를 살펴보면, 비도핑된 채널막을 사용하는 경우에는 채널막의 두께가 200Å인 경우에 문턱 전압이 1V 이상이 되었다. 또한, 상기 채널막의 두께가 얇아지는 경우 오히려 문턱 전압이 낮아짐을 알 수 있었다.

[0067] 실험 결과, 본 발명에 따른 샘플 1군 내지 샘플 3군의 셀 트랜지스터는 일반적인 구조의 셀 트랜지스터보다 더 얇은 두께의 채널막이 요구됨을 알 수 있었다. 또한, 상기 채널막의 두께를 얇게 조절함으로써 문턱 전압을 조절할 수 있음을 알 수 있었다.

[0068] 도 12는 샘플 및 비교 샘플들에서 채널막의 도핑 농도 및 채널막의 두께에 따른 셀 트랜지스터의 스윙 특성을 비교한 그래프이다.

[0069] 그래프에서, 샘플 1군은 □, 샘플 2군은 △, 샘플 3군은 ○이고, 비교 샘플군은 ●로 표시된다.

[0070] 도 12를 참조하면, 샘플 1군 내지 샘플 3군에서는 모두 양호한 스윙 특성을 나타냄을 알 수 있었다. 특히, 채널막의 두께가 얇을 수록 더 양호한 스윙 특성을 나타내었다.

[0071] 반면에, 비교 샘플 3군에서는 샘플 1군 내지 샘플 3군에 비해 스윙 특성이 불량함을 알 수 있었다.

[0072] 실험 결과, 본 발명에 따른 샘플 1군 내지 샘플 3군의 셀 트랜지스터는 일반적인 구조의 셀 트랜지스터보다 더 양호한 스윙 특성을 나타냄을 알 수 있었다.

[0073] 상술한 바와 같이 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**산업상 이용가능성**

[0074] 본 발명의 실시예들에 따르면, 스윙 특성 및 문턱 전압 특성이 우수한 수직형 메모리 장치를 제조할 수 있다.

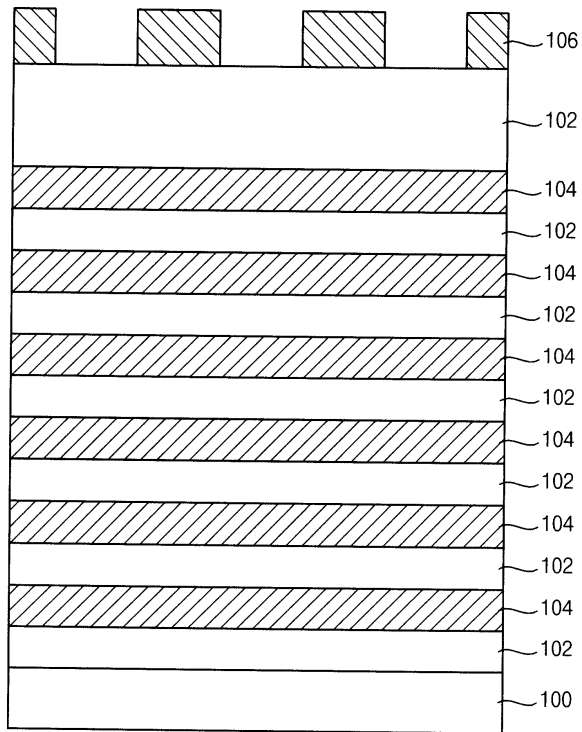
**부호의 설명**

- [0075] 100: 기판
- 102: 층간 절연막
- 104: 희생막
- 130: 마스크

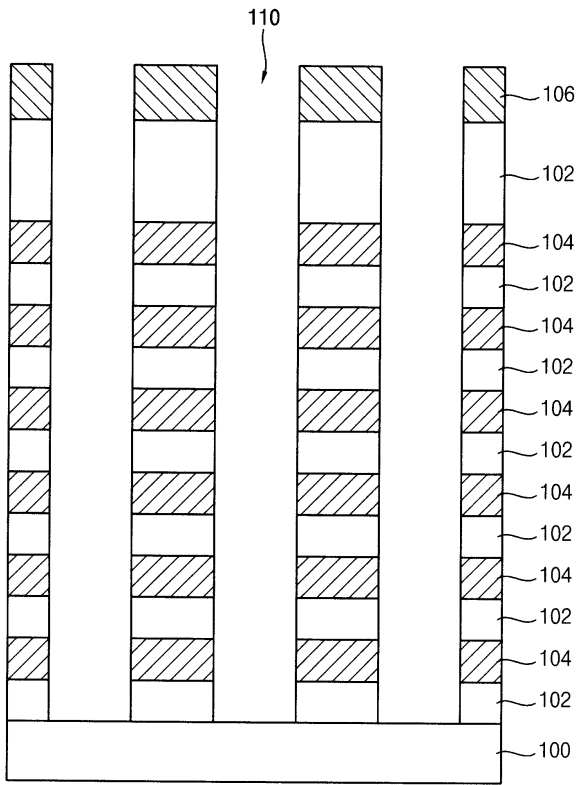
- |               |                   |
|---------------|-------------------|
| 110: 제1 개구 부  | 112: 전하 트래핑 패턴    |
| 116: 비정질 실리콘막 | 118: 도핑된 비정질 실리콘막 |
| 120: 채널막      | 122: 매립 절연 패턴     |
| 128: 블로킹 유전막  | 130 : 게이트 전극      |
| 134: 비트 라인 콘택 | 136: 비트 라인        |

도면

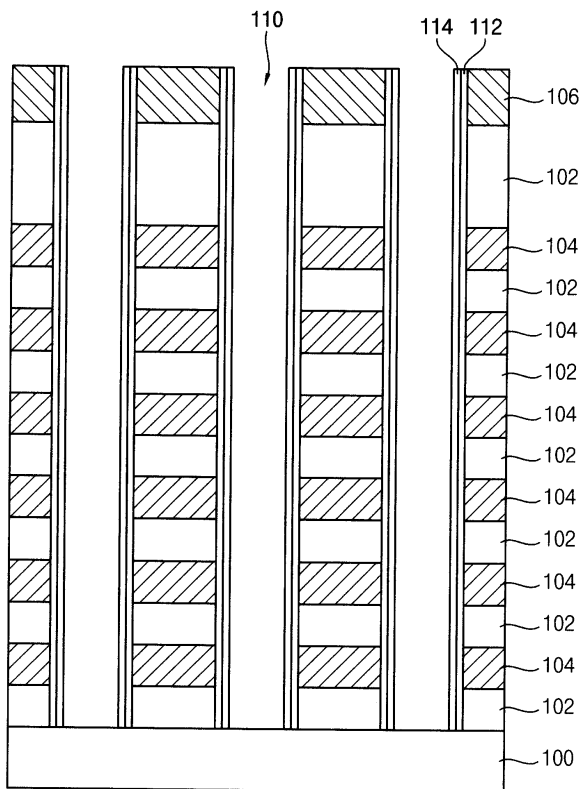
도면1



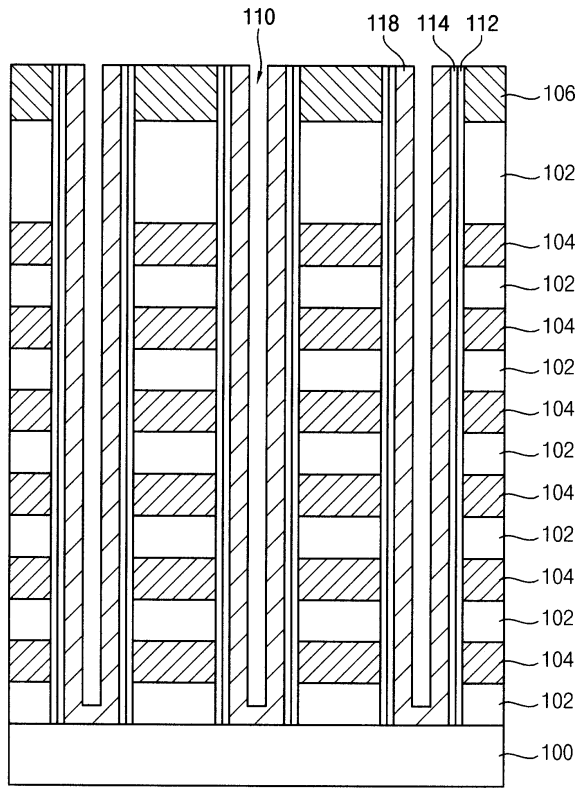
도면2



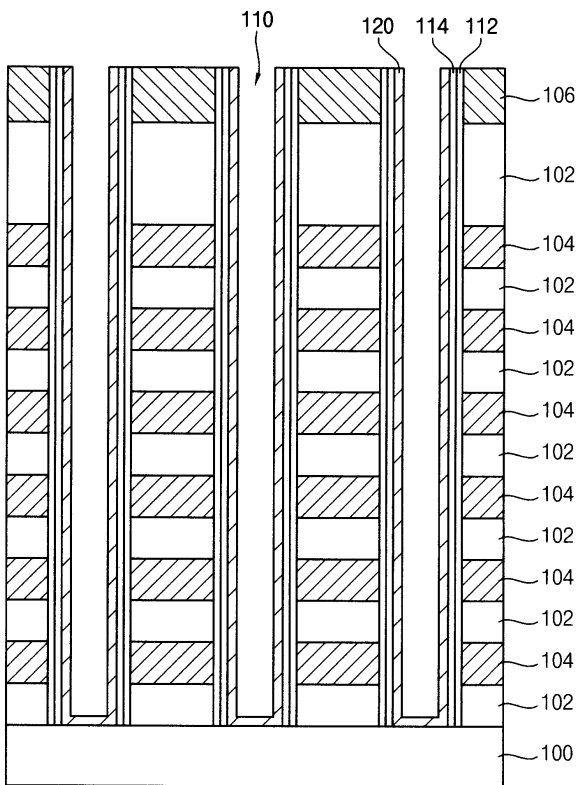
도면3



도면4

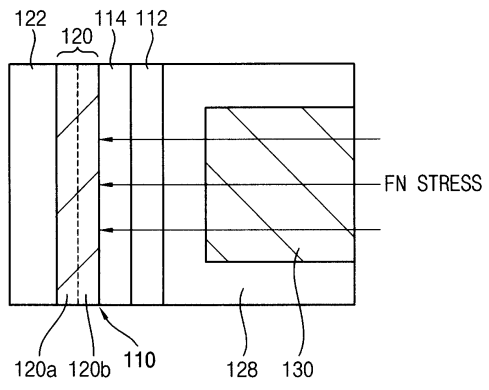


도면5

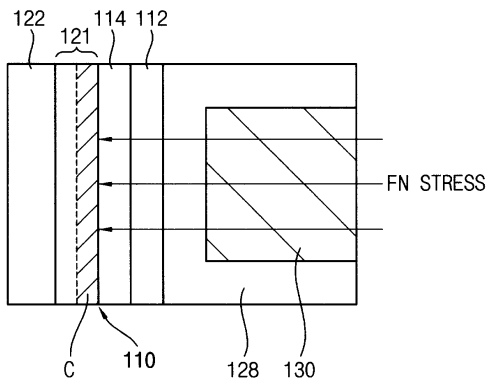




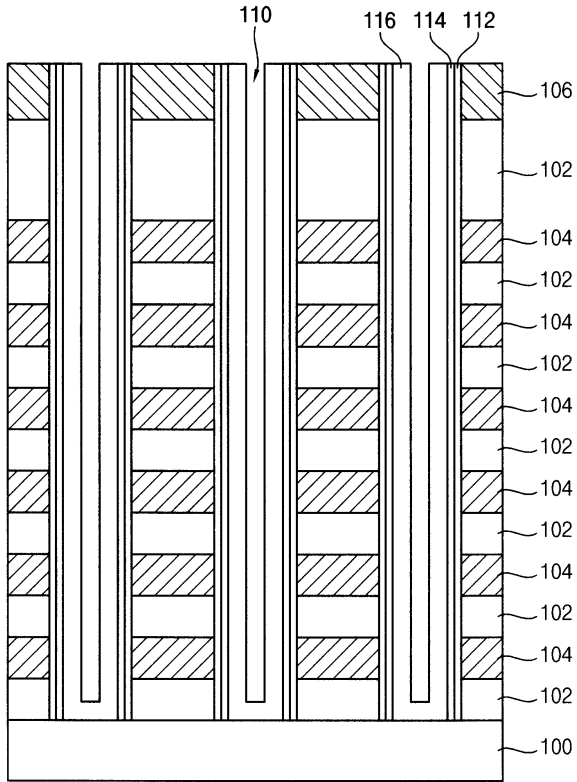
도면8a



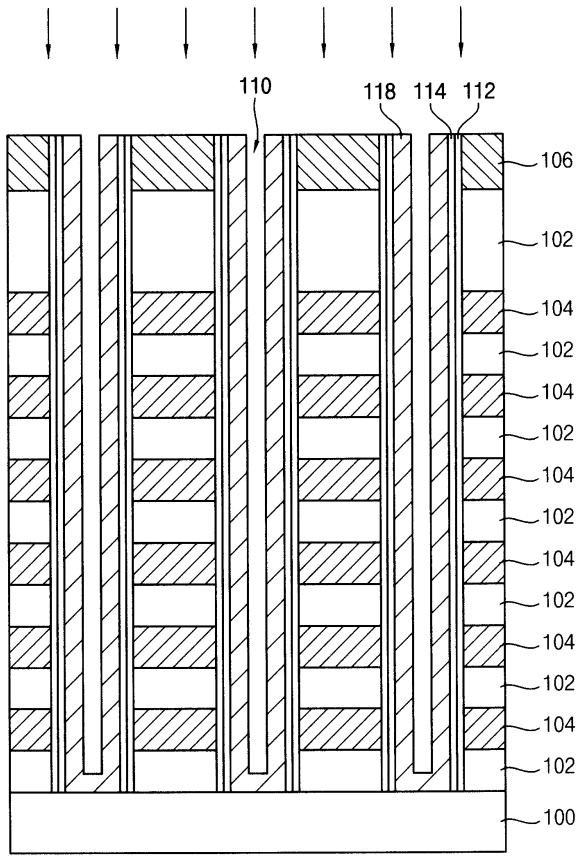
도면8b



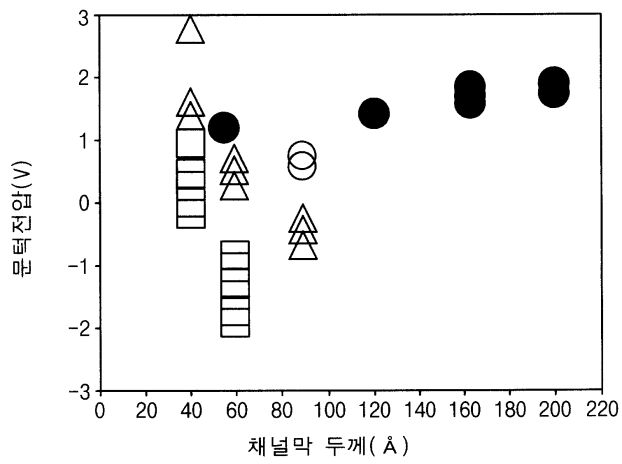
도면9



도면10



도면11





도면12

